

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei YAMAZAKI et al.      Art Unit : Unknown  
Serial No. : Unassigned      Examiner : Unknown  
Filed : August 8, 2001  
Title : AREA SENSOR AND DISPLAY APPARATUS PROVIDED WITH AN AREA  
SENSOR



Commissioner for Patents  
Washington, D.C. 20231

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:


**Japan Application No. 2000-242932 filed August 10, 2000**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: August 8, 2001

  
\_\_\_\_\_  
John F. Hayden  
Reg. No. 37,640

Fish & Richardson P.C.  
601 Thirteenth Street, NW  
Washington, DC 20005  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1046 U.S. PTO  
09/924108  
08/08/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 8月10日

出 願 番 号

Application Number:

特願2000-242932

出 願 人  
Applicant(s):

株式会社半導体エネルギー研究所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 6月12日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造

出証番号 出証特2001-3055066

【書類名】 特許願

【整理番号】 P005135

【提出日】 平成12年 8月10日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 米澤 雅人

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 木村 肇

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 優

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 エリアセンサ及びエリアセンサを備えた表示装置

【特許請求の範囲】

【請求項 1】

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とするエリアセンサ。

【請求項 2】

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T とを有しており、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T は、前記 E L 素子の発光を制御しており、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T は、前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の

一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記P型半導体層及び前記N型半導体層よりも厚いことを特徴とするエリアセンサ。

【請求項3】

請求項1または請求項2において、前記EL素子は陽極、陰極及び陽極と陰極の間に設けられたEL層を有していることを特徴とするエリアセンサ。

【請求項4】

フォトダイオードと、EL素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域は前記電源供給線に接続されており、前記EL駆動用TFTのドレイン領域は前記EL素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記センサ用ゲート信号線に接続されており、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とするエリアセンサ。

【請求項 5】

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

前記スイッチング用 T F T と前記選択用 T F T の極性は同じであり、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とするエリアセンサ。

#### 【請求項 6】

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、



前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

、  
前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

、  
前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とするエリアセンサ。

#### 【請求項 7】

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を

複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており、

前記スイッチング用 T F T と前記選択用 T F T の極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成されたP型半導体層及びN型半導体層とを有し、

前記フォトダイオードは前記P型半導体層、前記N型半導体層及び前記P型半導体層と前記N型半導体層との間に、前記P型半導体層と前記N型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記P型半導体層及び前記N型半導体層よりも厚いことを特徴とするエリアセンサ。

【請求項 8】

請求項 4 乃至請求項 7 のいずれか 1 項において、前記 E L 素子は陽極、陰極及び陽極と陰極の間に設けられた E L 層を有していることを特徴とするエリアセンサ。

【請求項 9】

請求項 8 において、前記 E L 素子の有する陰極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されている場合、前記 E L 駆動用 T F T は N チャネル型 T F T であることを特徴とするエリアセンサ。

【請求項 1 0】

請求項 4 乃至請求項 7 のいずれか 1 項において、前記フォトダイオードの有する P 型半導体層が前記リセット用 T F T のドレイン領域に接続されている場合、前記リセット用 T F T は N チャネル型 T F T であり、前記バッファ用 T F T は P チャネル型 T F T であることを特徴とするエリアセンサ。

【請求項 1 1】

請求項 4 乃至請求項 7 のいずれか 1 項において、前記フォトダイオードの有する N 型半導体層が前記リセット用 T F T のドレイン領域に接続されている場合、前記リセット用 T F T は P チャネル型 T F T であり、前記バッファ用 T F T は N チャネル型 T F T であることを特徴とするエリアセンサ。

【請求項 1 2】

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を

複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T とを有しており、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とする表示装置。

【請求項 1 3】

請求項 1 2 において、前記 E L 素子は陽極、陰極及び陽極と陰極の間に設けられた E L 層を有していることを特徴とする表示装置。

【請求項 1 4】

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T 、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とする表示装置。

【請求項 1 5】

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の

発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とする表示装置。

【請求項 1 6】

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極

及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とする表示装置。

【請求項 17】

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、



前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

前記スイッチング用 T F T と前記選択用 T F T の極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T 、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結

晶珪素膜により形成されたP型半導体層及びN型半導体層とを有し、

前記フォトダイオードは前記P型半導体層、前記N型半導体層及び前記P型半導体層と前記N型半導体層との間に、前記P型半導体層と前記N型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記P型半導体層及び前記N型半導体層よりも厚いことを特徴とする表示装置。

【請求項 1 8】

請求項 1 2 乃至請求項 1 7 のいずれか 1 項において、前記 E L 素子は陽極、陰極及び陽極と陰極の間に設けられた E L 層を有していることを特徴とする表示装置。

【請求項 1 9】

請求項 1 8 において、前記 E L 素子の有する陽極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されている場合、前記 E L 駆動用 T F T は P チャンネル型 T F T であることを特徴とする表示装置。

【請求項 2 0】

請求項 1 8 において、前記 E L 素子の有する陰極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されている場合、前記 E L 駆動用 T F T は N チャンネル型 T F T であることを特徴とする表示装置。

【請求項 2 1】

請求項 1 2 乃至請求項 1 7 のいずれか 1 項において、前記フォトダイオードの有する P 型半導体層が前記リセット用 T F T のドレイン領域に接続されている場合、前記リセット用 T F T は N チャンネル型 T F T であり、前記バッファ用 T F T は P チャンネル型 T F T であることを特徴とする表示装置。

【請求項 2 2】

請求項 1 2 乃至請求項 1 7 のいずれか 1 項において、前記フォトダイオードの有する N 型半導体層が前記リセット用 T F T のドレイン領域に接続されている場合、前記リセット用 T F T は P チャンネル型 T F T であり、前記バッファ用 T F T は N チャンネル型 T F T であることを特徴とする表示装置。

【請求項 2 3】

請求項 1 2 乃至請求項 2 2 のいずれか 1 項において、タッチペン及びタッチパネルを有していることを特徴とする表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本願発明は、イメージセンサ機能を有するエリアセンサに関する。特に、E L 素子を光源として有し、平面に設けられた光電変換素子を被写体上に配置し、マトリクス状に配置された複数の薄膜トランジスタ（T F T）によって構成されるエリアセンサに関する。またエリアセンサを兼ねた表示装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、紙面上の文字・図画情報や、映像情報等の光信号から、画像情報を有する電気信号を読み出すダイオード、C C D等の光電変換素子を有する固体撮像装置が用いられるようになってきた。この固体撮像装置は、スキャナーやデジタルカメラ等に用いられている。

【 0 0 0 3 】

光電変換素子を有する固体撮像装置には、ラインセンサと、エリアセンサとがある。ラインセンサは、線状に設けられた光電変換素子を被写体においてスキャンし、画像を電気信号として取り込んでいる。

【 0 0 0 4 】

それに対しエリアセンサは、密着型エリアセンサとも呼ばれており、平面に設けられた光電変換素子を被写体上に配置し、画像を電気信号として取り込んでいる。エリアセンサはラインセンサと異なり光電変換素子をスキャンする必要がないことから、スキャンするためのモーター等が不要である。

【 0 0 0 5 】

図 1 8 に従来のエリアセンサの構成を示す。図 1 8（A）に示すのはエリアセンサの斜視図であり、図 1 8（B）に示すのはその断面図である。光電変換素子が設けられたセンサ基板 2 5 0 1、バックライト 2 5 0 2、光散乱板 2 5 0 3 が図 1 8（B）に示すように設けられている。

【 0 0 0 6 】

光源としてのバックライト 2 5 0 2 からの光は、光散乱板 2 5 0 3 内で屈折し、被写体 2 5 0 4 に照射される。照射された光は被写体 2 5 0 4 において反射し、センサ基板 2 5 0 1 上に設けられた光電変換素子に照射される。光電変換素子に光が照射されると、光の輝度に応じた大きさの電流が光電変換素子内で生じ、被写体 2 5 0 4 の画像情報が電気信号としてエリアセンサ内に取り込まれる。

【 0 0 0 7 】

【発明が解決しようとする課題】

上述したエリアセンサは、バックライト 2 5 0 2 からの光が被写体 2 5 0 4 に均一に照射されないと、読み込んだ画像が部分的に明るくなったり暗くなったりしてむらが生じてしまう。そのため光が均一に被写体 2 5 0 4 に照射するように、光散乱板 2 5 0 3 の構造に工夫をこらしたり、バックライト 2 5 0 2、光散乱板 2 5 0 3、センサ基板 2 5 0 1、被写体 2 5 0 4 の位置を精密に調整したりする必要が生じる。

【 0 0 0 8 】

またバックライト 2 5 0 2 及び光散乱板 2 5 0 3 のサイズを抑えることは難しく、そのためにエリアセンサ自体の小型化、薄型化、軽量化が妨げられている。

【 0 0 0 9 】

本願発明は上記の実情を鑑みてなされたもので、小型、薄型、軽量であり、かつ読み込んだ画像に明るさのむらが生じないエリアセンサを提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

本願発明のエリアセンサは、光電変換素子としてフォトダイオードを用いる。また光源として E L (エレクトロルミネッセンス) 素子を用いる。

【 0 0 1 1 】

本明細書においてフォトダイオードとは、N型半導体層と、P型半導体層と、N型半導体層とP型半導体層との間に、N型半導体層及びP型半導体層の一部に接するように設けられた光電変換層とを有している。

## 【0012】

フォトダイオードでは光が照射されると、光によって生じたキャリアによって、電圧が低下する。このとき、光強度が強いほど、電圧が低下する量も大きい。このとき、フォトダイオードに光が照射された場合の電圧と、照射されなかった場合の電圧とを比較して、センサ信号線に信号が入力される。

## 【0013】

またEL素子とは自発光型素子であり、主にELディスプレイに用いられている。ELディスプレイとは有機ELディスプレイ(OELD: Organic EL Display)又は有機ライトエミッティングダイオード(OLED: Organic Light Emitting Diode)とも言う。

## 【0014】

EL素子是一对の電極(陽極と陰極)の間にEL層が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているELディスプレイは殆どこの構造を採用している。

## 【0015】

また他にも、電極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

## 【0016】

本明細書において一对の電極間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。そして、上記構造でなるEL層に一对の電極から所定の電圧を加え、それにより発光層においてキャリアの再結合が起こって発光する。

## 【0017】

フォトダイオードとEL素子とは同じセンサ基板上にマトリクス状に設けられる。そして同じくマトリクス状に基板上に設けられた薄膜トランジスタ(TFT

）を用いて、フォトダイオードとE L素子のそれぞれの動作を制御する。

【0018】

E L素子から発せられた光は被写体において反射し、フォトダイオードに照射される。フォトダイオードに照射された光によって電流が生じ、被写体の画像情報を有する電気信号（画像信号）がエリアセンサに取り込まれる。

【0019】

本願発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板を、センサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の小型化、薄型化、軽量化が実現される。またエリアセンサ自体の機械的強度が増す。

【0020】

また本願発明のエリアセンサは、前記E L素子を用いてエリアセンサに画像を表示させることが可能である。本願発明においてE L素子は、画像を読み込む際の光源としての機能と、画像を表示するための光源としての機能を併せ持つ。そのため、エリアセンサに別途電子ディスプレイを設けなくとも、画像を表示させることができる。

【0021】

シリコンで形成された膜には単結晶シリコン膜、多結晶シリコン膜（ポリシリコン膜）、非晶質シリコン膜（アモルファスシリコン膜）等がある。本願発明のフォトダイオードは、光電変換層は非晶質シリコン膜（アモルファスシリコン膜）で形成されており、N型半導体層はN型の多結晶シリコン膜（ポリシリコン膜）、P型半導体層はP型の多結晶シリコン膜（ポリシリコン膜）で形成されている。このとき、非晶質シリコン膜は、多結晶シリコン膜よりも厚く、厚さの比は、好ましくは1～10：1である。非晶質シリコン膜の厚さが多結晶シリコン膜よりも厚いことによって、光電変換層には、より多くの光を受け取ることができる。すなわち、より多くの電流を流すことができる。

【0022】

また、非晶質シリコン膜（アモルファスシリコン膜）は光の吸収率が高い。よって、本願発明では光電変換層に非晶質シリコン膜（アモルファスシリコン膜）を用いている。

## 【 0 0 2 3 】

フォトダイオードでは、光が全く当たっていない場合でも、暗電流（光強度が 0 の時に流れてしまう電流）が流れてしまう。しかし、アモルファスシリコン膜は抵抗が高いために、光が暗くても電流が流れず、暗電流を小さくすることができる。すなわち、暗電流が大きい場合と小さい場合とを比較すると、暗電流が小さい場合には、光が暗い場合において、フォトダイオードが受け取ることのできる光の明暗の領域がひろくなる。

## 【 0 0 2 4 】

また、図 1 5 で示すように、非晶質シリコン膜（アモルファスシリコン膜）の上方に第一層間絶縁膜を覆うように金属膜を形成することもできる。

## 【 0 0 2 5 】

E L 素子から被写体に光を照射し、被写体において反射した光が、フォトダイオードに受け取られる。しかし、光電変換層を通過した光のうち、光電変換層に受け取られず、そのまま通過してしまう光が存在する。金属膜が存在すると、このような光が、金属膜に反射し、再び光電変換層において光を受け取ることが出来る。そのため、より多くの光を受け取ることができる。

## 【 0 0 2 6 】

以下に、本願発明の構成を示す。

## 【 0 0 2 7 】

本願発明は上記構成によって、

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の

一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記P型半導体層及び前記N型半導体層よりも厚いことを特徴とするエリアセンサが提供される。

【 0 0 2 8 】

本願発明は上記構成によって、

フォトダイオードと、EL素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、EL素子と、スイッチング用TFETと、EL駆動用TFETと、リセット用TFETと、バッファ用TFETと、選択用TFETとを有しており、

前記スイッチング用TFET及び前記EL駆動用TFETは、前記EL素子の発光を制御しており、

前記EL素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオード、前記リセット用TFET、前記バッファ用TFET及び選択用TFETは、前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成されたP型半導体層及びN型半導体層とを有し、

前記フォトダイオードは前記P型半導体層、前記N型半導体層及び前記P型半導体層と前記N型半導体層との間に、前記P型半導体層と前記N型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記P型半導体層及び前記N型半導体層よりも厚いことを特徴とするエリアセンサが提供される。

【 0 0 2 9 】

本願発明は上記構成によって、

請求項1または請求項2において、前記EL素子は陽極、陰極及び陽極と陰極の間に設けられたEL層を有していることを特徴とするエリアセンサが提供される。

【 0 0 3 0 】



本願発明は上記構成によって、

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

、  
前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

、  
前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

、  
前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記P型半導体層、前記N型半導体層及び前記P型半導体層と前記N型半導体層との間に、前記P型半導体層と前記N型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記P型半導体層及び前記N型半導体層よりも厚いことを特徴とするエリアセンサが提供される。

# 【 0 0 3 1 】

本願発明は上記構成によって、

フォトダイオードと、EL素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域は前記電源供給線に接続されており、前記EL駆動用TFTのドレイン領域は前記EL素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、

前記選択用TFTのゲート電極は前記センサ用ゲート信号線に接続されており、

前記スイッチング用 T F T と前記選択用 T F T の極性は同じであり、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とするエリアセンサが提供される。

#### 【 0 0 3 2 】

本願発明は上記構成によって、

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極

及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

、  
前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

、  
前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とするエリアセンサが提供される。

### 【 0 0 3 3 】

本願発明は上記構成によって、

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成したエリアセンサであって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と

、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

、  
前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

、  
前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

、  
前記スイッチング用 T F T と前記選択用 T F T の極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記 E L 素子から発せられた光は、被写体において反射して前記フォトダイオードに照射され、

前記フォトダイオードに照射された光から生成された画像信号が、前記センサ出力配線に入力され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結

晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とするエリアセンサが提供される。

#### 【 0 0 3 4 】

本願発明は上記構成によって、

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T とを有しており、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とする表示装置が提供される。

#### 【 0 0 3 5 】

本願発明は上記構成によって、

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成され、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成されたP型半導体層及びN型半導体層とを有し、

前記フォトダイオードは前記P型半導体層、前記N型半導体層及び前記P型半導体層と前記N型半導体層との間に、前記P型半導体層と前記N型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記P型半導体層及び前記N型半導体層よりも厚いことを特徴とする表示装置が提供される。

【 0 0 3 6 】

本願発明は上記構成によって、

フォトダイオードと、EL素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、EL素子と、スイッチング用TFTと、EL駆動用TFTと、リセット用TFTと、バッファ用TFTと、選択用TFTと、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用TFTのゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用TFTのソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記EL駆動用TFTのゲート電極に接続されており、

前記EL駆動用TFTのソース領域は前記電源供給線に接続されており、前記EL駆動用TFTのドレイン領域は前記EL素子に接続されており、

前記リセット用TFTのソース領域は前記センサ用電源線に接続されており、

前記リセット用TFTのドレイン領域は、前記バッファ用TFTのゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用TFTのドレイン領域は前記センサ用電源線に接続されており、

前記選択用TFTのソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用TFTのソース領域に接続されており、



前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T 、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とする表示装置が提供される。

#### 【 0 0 3 7 】

本願発明は上記構成によって、

フォトダイオードと、 E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、 E L 素子と、スイッチング用 T F T と、 E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセン

サ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを

特徴とする表示装置が提供される。

【 0 0 3 8 】

本願発明は上記構成によって、

フォトダイオードと、E L 素子と、複数の薄膜トランジスタとを有する画素を複数個設けてセンサ部を形成した表示装置であって、

前記画素は、フォトダイオードと、E L 素子と、スイッチング用 T F T と、E L 駆動用 T F T と、リセット用 T F T と、バッファ用 T F T と、選択用 T F T と、ソース信号線と、ゲート信号線と、一定の電位に保たれた電源供給線と、リセット用ゲート信号線と、センサ用ゲート信号線と、定電流電源に接続されたセンサ出力配線と、一定の電位に保たれたセンサ用電源線とを有しており、

前記スイッチング用 T F T のゲート電極は前記ゲート信号線に接続されており、

前記スイッチング用 T F T のソース領域とドレイン領域は、一方は前記ソース信号線に、もう一方は前記 E L 駆動用 T F T のゲート電極に接続されており、

前記 E L 駆動用 T F T のソース領域は前記電源供給線に接続されており、前記 E L 駆動用 T F T のドレイン領域は前記 E L 素子に接続されており、

前記リセット用 T F T のソース領域は前記センサ用電源線に接続されており、

前記リセット用 T F T のドレイン領域は、前記バッファ用 T F T のゲート電極及び前記フォトダイオードに接続されており、

前記バッファ用 T F T のドレイン領域は前記センサ用電源線に接続されており、

前記選択用 T F T のソース領域とドレイン領域は、一方は前記センサ出力配線に、もう一方は前記バッファ用 T F T のソース領域に接続されており、

前記選択用 T F T のゲート電極は前記センサ用ゲート信号線に接続されており、

前記スイッチング用 T F T と前記選択用 T F T の極性は同じであり、

前記リセット用ゲート信号線と前記センサ用ゲート信号線とに入力される信号によって前記リセット用 T F T と前記選択用 T F T はオンからオフの状態、またはオフからオンの状態に同時に切り替わり、

前記リセット用 T F T と前記選択用 T F T は、一方がオンの状態の時、もう一方はオフの状態であり、

前記スイッチング用 T F T 及び前記 E L 駆動用 T F T によって前記 E L 素子の発光が制御され、

前記センサ部は、前記 E L 素子から発せられた光により画像を表示するか、もしくは前記 E L 素子から発せられた光を被写体において反射させることで前記フォトダイオードに照射し、前記フォトダイオード、前記リセット用 T F T、前記バッファ用 T F T 及び選択用 T F T によって前記フォトダイオードに照射された光から画像信号を生成し、

前記フォトダイオードは、非晶質珪素膜により形成された光電変換層と、多結晶珪素膜により形成された P 型半導体層及び N 型半導体層とを有し、

前記フォトダイオードは前記 P 型半導体層、前記 N 型半導体層及び前記 P 型半導体層と前記 N 型半導体層との間に、前記 P 型半導体層と前記 N 型半導体層の一部に接するように設けられた光電変換層を有し、

前記光電変換層は、前記 P 型半導体層及び前記 N 型半導体層よりも厚いことを特徴とする表示装置が提供される。

#### 【 0 0 3 9 】

前記 E L 素子は陽極、陰極及び陽極と陰極の間に設けられた E L 層を有していてもよい。

#### 【 0 0 4 0 】

前記 E L 素子の有する陽極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されている場合、前記 E L 駆動用 T F T は P チャネル型 T F T であってもよい。

#### 【 0 0 4 1 】

前記 E L 素子の有する陰極が前記 E L 駆動用 T F T のソース領域又はドレイン領域に接続されている場合、前記 E L 駆動用 T F T は N チャネル型 T F T であってもよい。

#### 【 0 0 4 2 】

前記フォトダイオードの有する P 型半導体層が前記リセット用 T F T のドレイ

ン領域に接続されている場合、前記リセット用 T F T は N チャンネル型 T F T であり、前記バッファ用 T F T は P チャンネル型 T F T であってもよい。

【 0 0 4 3 】

前記フォトダイオードの有する N 型半導体層が前記リセット用 T F T のドレイン領域に接続されている場合、前記リセット用 T F T は P チャンネル型 T F T であり、前記バッファ用 T F T は N チャンネル型 T F T であってもよい。

【 0 0 4 4 】

前記表示装置は、タッチペン及びタッチパネルを有していてもよい。

【 0 0 4 5 】

【発明の実施の形態】

以下に、本願発明のエリアセンサの構成を詳しく説明する。本願発明のエリアセンサは画像の読み取りを行うセンサ部と、センサ部の駆動を制御する駆動部とを有している。図 1 に本願発明のセンサ部の回路図を示す。

【 0 0 4 6 】

センサ部 1 0 1 はソース信号線 S 1 ~ S x、電源供給線 V 1 ~ V x、ゲート信号線 G 1 ~ G y、リセット用ゲート信号線 R G 1 ~ R G y、センサ用ゲート信号線 S G 1 ~ S G y、センサ出力配線 S S 1 ~ S S x、センサ用電源線 V B が設けられている。

【 0 0 4 7 】

センサ部 1 0 1 は複数の画素 1 0 2 を有している。画素 1 0 2 は、ソース信号線 S 1 ~ S x のいずれか 1 つと、電源供給線 V 1 ~ V x のいずれか 1 つと、ゲート信号線 G 1 ~ G y のいずれか 1 つと、リセット用ゲート信号線 R G 1 ~ R G y のいずれか 1 つと、センサ用ゲート信号線 S G 1 ~ S G y のいずれか 1 つと、センサ出力配線 S S 1 ~ S S x のいずれか 1 つと、センサ用電源線 V B とを有している。

【 0 0 4 8 】

センサ出力配線 S S 1 ~ S S x はそれぞれ定電流電源 1 0 3 \_ 1 ~ 1 0 3 \_ x に接続されている。

## 【 0 0 4 9 】

図 2 に画素 1 0 2 の詳しい構成を示す。点線で囲まれた領域が画素 1 0 2 である。なお、ソース信号線 S は、ソース信号線 S 1 ~ S x のいずれか 1 つを意味する。また電源供給線 V は電源供給線 V 1 ~ V x のいずれか 1 つを意味する。またゲート信号線 G はゲート信号線 G 1 ~ G y のいずれか 1 つを意味する。またリセット用ゲート信号線 R G はリセット用ゲート信号線 R G 1 ~ R G y のいずれか 1 つを意味する。またセンサ用ゲート信号線 S G は、センサ用ゲート信号線 S G 1 ~ S G y のいずれか 1 つを意味する。またセンサ出力配線 S S はセンサ出力配線 S S 1 ~ S S x のいずれか 1 つを意味する。

## 【 0 0 5 0 】

画素 1 0 2 はスイッチング用 T F T 1 0 4 、 E L 駆動用 T F T 1 0 5 、 E L 素子 1 0 6 を有している。また図 2 では画素 1 0 2 にコンデンサ 1 0 7 が設けられているが、コンデンサ 1 0 7 を設けなくとも良い。

## 【 0 0 5 1 】

E L 素子 1 0 6 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とからなる。陽極が E L 駆動用 T F T 1 0 5 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が E L 駆動用 T F T 1 0 5 のソース領域またはドレイン領域と接続している場合、陽極が対向電極、陰極が画素電極である。

## 【 0 0 5 2 】

スイッチング用 T F T 1 0 4 のゲート電極はゲート信号線 G に接続されている。そしてスイッチング用 T F T 1 0 4 のソース領域とドレイン領域は、一方がソース信号線 S に、もう一方が E L 駆動用 T F T 1 0 5 のゲート電極に接続されている。

## 【 0 0 5 3 】

E L 駆動用 T F T 1 0 5 のソース領域は電源供給線 V に接続されており、 E L 駆動用 T F T 1 0 5 のドレイン領域は、 E L 素子 1 0 6 に接続されている。コンデンサ 1 0 7 は E L 駆動用 T F T 1 0 5 のゲート電極と電源供給線 V とに接続して設けられている。

## 【 0 0 5 4 】

さらに画素 1 0 2 は、リセット用 T F T 1 1 0、バッファ用 T F T 1 1 1、選択用 T F T 1 1 2、フォトダイオード 1 1 3 を有している。

## 【 0 0 5 5 】

リセット用 T F T 1 1 0 のゲート電極はリセット用ゲート信号線 R G に接続されている。リセット用 T F T 1 1 0 のソース領域はセンサ用電源線 V B に接続されている。センサ用電源線 V B は常に一定の電位（基準電位）に保たれている。またリセット用 T F T 1 1 0 のドレイン領域はフォトダイオード 1 1 3 及びバッファ用 T F T 1 1 1 のゲート電極に接続されている。

## 【 0 0 5 6 】

図示しないが、フォトダイオード 1 1 3 は N 型半導体層と、P 型半導体層と、N 型半導体層と P 型半導体層の間に設けられた光電変換層とを有している。リセット用 T F T 1 1 0 のドレイン領域は、具体的にはフォトダイオード 1 1 3 の P 型半導体層又は N 型半導体層に接続されている。

## 【 0 0 5 7 】

バッファ用 T F T 1 1 1 のドレイン領域はセンサ用電源線 V B に接続されており、常に一定の基準電位に保たれている。そしてバッファ用 T F T 1 1 1 のソース領域は選択用 T F T 1 1 2 のソース領域又はドレイン領域に接続されている。

## 【 0 0 5 8 】

選択用 T F T 1 1 2 のゲート電極はセンサ用ゲート信号線 S G に接続されている。そして選択用 T F T 1 1 2 のソース領域とドレイン領域は、一方は上述したとおりバッファ用 T F T 1 1 1 のソース領域に接続されており、もう一方はセンサ出力配線 S S に接続されている。センサ出力配線 S S は定電流電源 1 0 3（定電流電源 1 0 3 \_ 1 ~ 1 0 3 \_ x のいずれか 1 つ）に接続されており、常に一定の電流が流れている。

## 【 0 0 5 9 】

次に本願発明のエリアセンサの駆動の仕方について、図 1 及び図 2 を用いて説明する。

## 【 0 0 6 0 】

画素102が有するEL素子106はエリアセンサの光源として機能しており、スイッチング用TFT104、EL駆動用TFT105及びコンデンサ107は、光源としてのEL素子106の動作を制御している。

#### 【0061】

EL素子から発せられる光は被写体において反射し、画素102が有するフォトダイオード113に照射される。フォトダイオード113は、照射された光を、画像情報を有する電気信号に変換する。そしてフォトダイオード113で発生した画像情報を有する電気信号は、リセット用TFT110、バッファ用TFT111及び選択用TFT112により画像信号としてエリアセンサ内に取り込まれる。

#### 【0062】

図3は、リセット用TFT110、バッファ用TFT111及び選択用TFT112の動作を示すタイミングチャートである。なおここでは、リセット用TFT110がNチャネル型TFT、バッファ用TFT111がPチャネル型TFT、選択用TFT112がNチャネル型TFTの場合のタイミングチャートを示す。本願発明においてリセット用TFT110、バッファ用TFT111及び選択用TFT112は、Nチャネル型TFTとPチャネル型TFTのどちらでも良い。ただし、リセット用TFT110とバッファ用TFT111の極性は逆の方が好ましい。

#### 【0063】

まずリセット用ゲート信号線RG1に入力されているリセット信号によって、RG1に接続されている1ライン目の画素のリセット用TFT110はオンの状態にある。よってセンサ用電源線VBの基準電位がバッファ用TFT111のゲート電極に与えられる。

#### 【0064】

またセンサ用ゲート信号線SG1に入力されているセンサ信号によって、センサ用ゲート信号線SG1に接続されている1ライン目の画素の選択用TFT112がオフの状態にある。よってバッファ用TFT111のソース領域は、基準電位からバッファ用TFT111のソース領域とゲート電極の電位差 $V_{\#}(GS)$ を差



し引いた電位に保たれている。なお本明細書では、リセット用 T F T 1 1 0 がオンの状態である期間をリセット期間と呼ぶ。

#### 【 0 0 6 5 】

そしてリセット用ゲート信号線 R G 1 に入力されたりリセット信号の電位が変化して、1ライン目の画素のリセット用 T F T 1 1 0 が全てオフの状態になる。よってセンサ用電源線 V B の基準電位は、1ライン目の画素のバッファ用 T F T 1 1 1 のゲート電極に与えられなくなる。なお、リセット用 T F T 1 1 0 がオフの状態にある期間を、本明細書ではサンプル期間 S T と呼ぶ。特に1ライン目の画素のリセット用 T F T 1 1 0 がオフの状態にある期間をサンプル期間 S T 1 と呼ぶ。

#### 【 0 0 6 6 】

サンプル期間 S T 1 では、センサ用ゲート信号線 S G 1 に入力されたセンサ信号の電位が変化して、1ライン目の画素の選択用 T F T 1 1 2 がオンの状態になる。よって1ライン目の画素のバッファ用 T F T 1 1 1 のソース領域は、選択用 T F T 1 1 2 を介してセンサ出力配線 S S 1 に電氣的に接続される。センサ出力配線 S S 1 は定電流電源 1 0 3 \_ 1 に接続されており、そのためバッファ用 T F T 1 1 1 はソースフォロワ ( s o u r c e   f o l l o w e r ) として機能し、ソース領域とゲート電極の電位差  $V\#(GS)$  は一定となる。

#### 【 0 0 6 7 】

サンプル期間 S T 1 において、E L 素子 1 0 6 からの光が被写体において反射してフォトダイオード 1 1 3 に照射されると、フォトダイオード 1 1 3 に電流が流れる。そのため、リセット期間において基準電位に保たれていたバッファ用 T F T 1 1 1 のゲート電極の電位は、フォトダイオード 1 1 3 で発生する電流の大きさに応じて高くなる。

#### 【 0 0 6 8 】

フォトダイオード 1 1 3 に流れる電流は、フォトダイオード 1 1 3 に照射される光の強さに比例するため、被写体上の画像は、フォトダイオード 1 1 3 においてそのまま電気信号に変換される。フォトダイオード 1 1 3 において生成された電気信号は、バッファ用 T F T 1 1 1 のゲート電極に入力される。

## 【 0 0 6 9 】

バッファ用 T F T 1 1 1 のソース領域とゲート電極の電位差  $V\#(GS)$  は常に一定であるので、バッファ用 T F T 1 1 1 のソース領域は、バッファ用 T F T 1 1 1 のゲート電極の電位から  $V\#(GS)$  を差し引いた電位に保たれている。そのためバッファ用 T F T 1 1 1 のゲート電極の電位が変化すると、それに伴ってバッファ用 T F T 1 1 1 のソース領域の電位も変化する。

## 【 0 0 7 0 】

バッファ用 T F T 1 1 1 のソース領域の電位は、画像信号として選択用 T F T 1 1 2 を介しセンサ出力配線 S S 1 に入力される。

## 【 0 0 7 1 】

次に、リセット用ゲート信号線 R G 1 に入力されているリセット信号によって、R G 1 に接続されている 1 ライン目の画素のリセット用 T F T 1 1 0 はオンの状態になり、再びリセット期間になる。それと同時にリセット用ゲート信号線 R G 2 に入力されているリセット信号によって、R G 2 に接続されている 2 ライン目の画素のリセット用 T F T 1 1 0 はオフの状態になり、サンプリング期間 S T 2 が開始する。

## 【 0 0 7 2 】

サンプリング期間 S T 2 では、サンプリング期間 S T 1 と同様に、フォトダイオードにおいて画像情報を有する電気信号が生成し、画像信号がセンサ出力配線 S S 2 に入力される。

## 【 0 0 7 3 】

上記動作を繰り返し、サンプリング期間 S T y が終了すると、1 つの画像を画像信号として読み込むことができる。なお本明細書では、サンプリング期間 S T 1 ~ S T y の全てが出現するまでの期間をセンサフレーム期間 S F と呼ぶ。

## 【 0 0 7 4 】

また各サンプリング期間において、各画素が有する E L 素子を常に発光させておく必要がある。例えば 1 ライン目の画素が有する E L 素子は、最低でもサンプリング期間 S T 1 の間発光していることが重要である。なお全ての画素がセンサフレーム期間 S F の間、常に発光していても良い。

## 【 0 0 7 5 】

なおカラー画像を読み込むエリアセンサの場合、センサ部はR（赤）G（緑）B（青）の各色に対応した画素を有している。RGBの各色に対応した画素は、RGBに対応した三種類のEL素子を有しているか、または白色発光のEL素子とRGBの三種類のカラーフィルターを有しているか、または青色又は青緑発光のEL素子と蛍光体（蛍光性の色変換層：CCM）とを有している。

## 【 0 0 7 6 】

RGBの各色に対応した画素から発せられるRGBの各色の光は、被写体に順に照射される。そして被写体において反射されたRGBの各色の光が、画素の有するフォトダイオードに照射され、RGB各色に対応する画像信号がエリアセンサに取り込まれる。

## 【 0 0 7 7 】

図4は、カラー画像を読み込むエリアセンサのリセット用TFT110、バッファ用TFT111及び選択用TFT112の動作を示すタイミングチャートである。なおここでは、リセット用TFT110がNチャネル型TFT、バッファ用TFT111がPチャネル型TFT、選択用TFT112がNチャネル型TFTの場合のタイミングチャートを示す。

## 【 0 0 7 8 】

Rに対応する画素のEL素子が発光している期間内に、サンプル期間ST1～STyの全てが出現する。このRに対応する画素のEL素子が発光している期間内において、サンプリング期間ST1～STyの全てが出現するまでの期間をR用センサフレーム期間SF<sub>r</sub>と呼ぶ。R用センサフレーム期間SF<sub>r</sub>においてRに対応する画像信号がエリアセンサ内に取り込まれる。なおR用センサフレーム期間SF<sub>r</sub>において、G、Bに対応する画素は発光を行わない。

## 【 0 0 7 9 】

次に、Gに対応する画素のEL素子が発光している期間内に、サンプル期間ST1～STyの全てが出現する。このGに対応する画素のEL素子が発光している期間内において、サンプリング期間ST1～STyの全てが出現するまでの期間をG用センサフレーム期間SF<sub>g</sub>と呼ぶ。G用センサフレーム期間SF<sub>g</sub>にお

いてGに対応する画像信号がエリアセンサ内に取り込まれる。なおG用センサフレーム期間SF<sub>g</sub>において、R、Bに対応する画素は発光を行わない。

## 【0080】

次に、Bに対応する画素のEL素子が発光している期間内に、サンプル期間ST<sub>1</sub>～ST<sub>y</sub>の全てが出現する。このBに対応する画素のEL素子が発光している期間内において、サンプリング期間ST<sub>1</sub>～ST<sub>y</sub>の全てが出現するまでの期間をB用センサフレーム期間SF<sub>b</sub>と呼ぶ。B用センサフレーム期間SF<sub>b</sub>においてBに対応する画像信号がエリアセンサ内に取り込まれる。B用センサフレーム期間SF<sub>b</sub>において、R、Gに対応する画素は発光を行わない。

## 【0081】

R用センサフレーム期間SF<sub>r</sub>と、G用センサフレーム期間SF<sub>g</sub>と、B用センサフレーム期間SF<sub>b</sub>の全てが出現するまでの期間がセンサフレーム期間SFである。センサフレーム期間SFが終了すると1つのカラー画像を画像信号として読み込むことができる。

## 【0082】

また各サンプリング期間において、各色に対応する画素のEL素子を常に発光させておく必要がある。例えばB用センサフレーム期間内のサンプリング期間ST<sub>1</sub>においては、1ライン目の画素のうちBに対応する画素のEL素子は常に発光していることが重要である。またR用、G用、B用センサフレーム期間(SF<sub>r</sub>、SF<sub>g</sub>、SF<sub>b</sub>)のそれぞれにおいて、各色に対応する画素が常に発光していても良い。

## 【0083】

本願発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板とを、センサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の小型化、薄型化、軽量化が実現される。またエリアセンサ自体の機械的強度が増す。

## 【0084】

また本願発明のエリアセンサは、光源としてのE L素子を用いてセンサ部に画像を表示することが可能である。そのため、新たに電子ディスプレイをエリアセンサに設けなくとも、フォトダイオードで読み込んだ画像をセンサ部に表示させることが可能であり、その場で読み込んだ画像を確認することができる。

【0085】

【実施例】 以下に、本願発明の実施例について説明する。

【0086】

(実施例1)

本実施例では、図2に示すところのE L素子106の動作を制御している、スイッチング用T F T 104及びE L駆動用T F T 105の駆動方法について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図1及び図2を参照する。

【0087】

図5に本実施例のエリアセンサの上面図を示す。120はソース信号線駆動回路、122はゲート信号線駆動回路であり、共にスイッチング用T F T 104及びE L駆動用T F T 105の駆動を制御している。また121はセンサ用ソース信号線駆動回路、123はセンサ用ゲート信号線駆動回路であり、共にリセット用T F T 110、バッファ用T F T 111及び選択用T F T 112の駆動を制御している。なお本明細書において、ソース信号線駆動回路120、ゲート信号線駆動回路122、センサ用ソース信号線駆動回路121、センサ用ゲート信号線駆動回路123を駆動部と呼ぶ。

【0088】

ソース信号線駆動回路120は、シフトレジスタ120a、ラッチ(A)120b、ラッチ(B)120cを有している。ソース信号線駆動回路120において、シフトレジスタ120aにクロック信号(C L K)およびスタートパルス(S P)が入力される。シフトレジスタ120aは、これらのクロック信号(C L K)およびスタートパルス(S P)に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を順次供給する。

【0089】

なおシフトレジスタ 1 2 0 a からのタイミング信号を、バッファ等（図示せず）によって緩衝増幅し、後段の回路へ緩衝増幅したタイミング信号を順次供給しても良い。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量（寄生容量）が大きい。この負荷容量が大きいため、生ずるタイミング信号の立ち上がりまたは立ち下がりの”鈍り”を防ぐために、このバッファが設けられる。

## 【 0 0 9 0 】

シフトレジスタ 1 2 0 a からのタイミング信号は、ラッチ (A) 1 2 0 b に供給される。ラッチ (A) 1 2 0 b は、デジタル信号 (digital signals) を処理する複数のステージのラッチを有している。ラッチ (A) 1 2 0 b は、前記タイミング信号が入力されると同時に、デジタル信号を順次書き込み、保持する。

## 【 0 0 9 1 】

なお、ラッチ (A) 1 2 0 b にデジタル信号を取り込む際に、ラッチ (A) 1 2 0 b が有する複数のステージのラッチに、順にデジタル信号を入力しても良い。しかし本願発明はこの構成に限定されない。ラッチ (A) 1 2 0 b が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタル信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

## 【 0 0 9 2 】

ラッチ (A) 1 2 0 b の全ステージのラッチへのデジタル信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 1 2 0 b 中で一番左側のステージのラッチにデジタル信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタル信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

## 【 0 0 9 3 】

1 ライン期間が終了すると、ラッチ (B) 1 2 0 c にラッチシグナル (Latch SigNal) が供給される。この瞬間、ラッチ (A) 1 2 0 b に書き込まれ保持さ

れているデジタル信号は、ラッチ (B) 1 2 0 c に一斉に送出され、ラッチ (B) 1 2 0 c の全ステージのラッチに書き込まれ、保持される。

## 【 0 0 9 4 】

デジタル信号をラッチ (B) 1 2 0 c に送出し終えたラッチ (A) 1 2 0 b は、シフトレジスタ 1 2 0 a からのタイミング信号に基づき、再びデジタル信号の書き込みを順次行う。

## 【 0 0 9 5 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 2 0 c に書き込まれ、保持されているデジタル信号がソース信号線 S 1 ~ S x に入力される。

## 【 0 0 9 6 】

一方、ゲート信号線駆動回路 1 2 2 は、それぞれシフトレジスタ、バッファ (いずれも図示せず) を有している。また場合によっては、ゲート信号線駆動回路 1 2 2 が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

## 【 0 0 9 7 】

ゲート信号線駆動回路 1 2 2 において、シフトレジスタ (図示せず) からのゲート信号がバッファ (図示せず) に供給され、対応するゲート信号線に供給される。ゲート信号線 G 1 ~ G y には、それぞれ 1 ライン分の画素のスイッチング用 T F T 1 0 4 のゲート電極が接続されており、1 ライン分全ての画素のスイッチング用 T F T 1 0 4 を同時にオンの状態にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

## 【 0 0 9 8 】

なおソース信号線駆動回路とゲート信号線駆動回路の数、構成及びその動作は、本実施例で示した構成に限定されない。本願発明のエリアセンサは、公知のソース信号線駆動回路及びゲート信号線駆動回路を用いることが可能である。

## 【 0 0 9 9 】

次に、センサ部のスイッチング用 T F T 1 0 4 及び E L 駆動用 T F T 1 0 5 を、デジタル方式で駆動させた場合のタイミングチャートを図 6 に示す。

## 【 0 1 0 0 】

センサ部 1 0 1 の全ての画素が一通り発光するまでの期間を 1 フレーム期間 (

F) と呼ぶ。フレーム期間はアドレス期間 (T<sub>a</sub>) とサステイン期間 (T<sub>s</sub>) とに分けられる。アドレス期間とは、1 フレーム期間中、全ての画素にデジタル信号を入力する期間である。サステイン期間 (点灯期間とも呼ぶ) とは、アドレス期間において画素に入力されたデジタル信号によって、E L 素子を発光又は非発光の状態にし、表示を行う期間を示している。

## 【0101】

電源供給線 (V<sub>1</sub> ~ V<sub>x</sub>) の電位は所定の電位 (電源電位) に保たれている。

## 【0102】

まずアドレス期間 T<sub>a</sub> において、E L 素子 106 の対向電極の電位は、電源電位と同じ高さに保たれている。

## 【0103】

そしてゲート信号線 G<sub>1</sub> に入力されるゲート信号によって、ゲート信号線 G<sub>1</sub> に接続されている全てのスイッチング用 T F T 104 がオンの状態になる。次に、ソース信号線駆動回路 120 からソース信号線 (S<sub>1</sub> ~ S<sub>x</sub>) にデジタル信号が入力される。ソース信号線 (S<sub>1</sub> ~ S<sub>x</sub>) に入力されたデジタル信号は、オンの状態のスイッチング用 T F T 104 を介して E L 駆動用 T F T 105 のゲート電極に入力される。

## 【0104】

次にゲート信号線 G<sub>2</sub> に入力されるゲート信号によって、ゲート信号線 G<sub>2</sub> に接続されている全てのスイッチング用 T F T 104 がオンの状態になる。次に、ソース信号線駆動回路 120 からソース信号線 (S<sub>1</sub> ~ S<sub>x</sub>) にデジタル信号が入力される。ソース信号線 (S<sub>1</sub> ~ S<sub>x</sub>) に入力されたデジタル信号は、オンの状態のスイッチング用 T F T 104 を介して E L 駆動用 T F T 105 のゲート電極に入力される。

## 【0105】

上述した動作をゲート信号線 G<sub>y</sub> まで繰り返し、全ての画素 102 の E L 駆動用 T F T 105 のゲート電極にデジタル信号が入力され、アドレス期間が終了する。

## 【0106】



アドレス期間  $T_a$  が終了すると同時にサステイン期間となる。サステイン期間において、全てのスイッチング用 T F T 1 0 4 は、オフの状態となる。

【 0 1 0 7 】

そしてサステイン期間が開始されると同時に、全ての E L 素子の対向電極の電位は、電源電位が画素電極に与えられたときに E L 素子が発光する程度に、電源電位との間に電位差を有する高さになる。なお本明細書において、画素電極と対向電極の電位差を E L 駆動電圧と呼ぶ。また各画素が有する E L 駆動用 T F T 1 0 5 のゲート電極に入力されたデジタル信号によって E L 駆動用 T F T 1 0 5 はオンの状態になっている。よって電源電位が E L 素子の画素電極に与えられ、全ての画素が有する E L 素子は発光する。

【 0 1 0 8 】

サステイン期間が終了すると同時に、1つのフレーム期間が終了する。本願発明では、全てのサンプリング期間  $S T 1 \sim S T y$  において画素が発光する必要があり、よって本実施例の駆動方法の場合、サステイン期間内にセンサフレーム期間  $S F$  が含まれていることが重要である。

【 0 1 0 9 】

なお本実施例では、単色の画像を読み込むエリアセンサの駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込むエリアセンサの場合、1つのフレーム期間を R G B に対応した3つのサブフレーム期間に分割し、各サブフレーム期間においてアドレス期間とサステイン期間とを設ける。そして R 用のサブフレーム期間のアドレス期間では、R に対応する画素の E L 素子だけ発光するようなデジタル信号を全ての画素に入力し、サステイン期間において R の E L 素子だけ発光を行う。G 用、B 用のサブフレーム期間においても同様に、各サステイン期間において、各色に対応する画素の E L 素子のみが発光を行うようにする。

【 0 1 1 0 】

そしてカラー画像を読み込むエリアセンサの場合、R G B に対応した3つのサブフレーム期間の各サステイン期間は、R 用、G 用、B 用センサフレーム期間 ( $S F r$ 、 $S F g$ 、 $S F b$ ) をそれぞれ含んでいることが重要である。

## 【 0 1 1 1 】

## (実施例2)

本実施例では、センサ部 1 0 1 において画像を表示する際の、スイッチング用 T F T 1 0 4 及び E L 駆動用 T F T 1 0 5 の駆動方法について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図 1 及び図 2 を参照する。

## 【 0 1 1 2 】

図 7 に、本願発明のエリアセンサにおいて、デジタル方式でセンサ部 1 0 1 に画像を表示する際のタイミングチャートを示す。

## 【 0 1 1 3 】

まず、1 フレーム期間 ( F ) を N 個のサブフレーム期間 ( S F 1 ~ S F N ) に分割する。階調数が多くなるにつれて 1 フレーム期間におけるサブフレーム期間の数も増える。なおエリアセンサのセンサ部が画像を表示する場合、1 フレーム期間 ( F ) とは、センサ部の全ての画素が 1 つの画像を表示する期間を指す。

## 【 0 1 1 4 】

本実施例の場合、フレーム期間は 1 秒間に 6 0 以上設けることが好ましい。1 秒間に表示される画像の数を 6 0 以上にすることで、視覚的にフリッカ等の画像のちらつきを抑えることが可能になる。

## 【 0 1 1 5 】

サブフレーム期間はアドレス期間 ( T a ) とサステイン期間 ( T s ) とに分けられる。アドレス期間とは、1 サブフレーム期間中、全ての画素にデジタルビデオ信号を入力する期間である。なおデジタルビデオ信号とは、画像情報を有するデジタルの信号である。サステイン期間 ( 点灯期間とも呼ぶ ) とは、アドレス期間において画素に入力されたデジタルビデオ信号によって、E L 素子を発光又は非発光の状態にし、表示を行う期間を示している。なおデジタルビデオ信号とは、画像情報を有するデジタル信号を意味する。

## 【 0 1 1 6 】

S F 1 ~ S F N が有するアドレス期間 ( T a ) をそれぞれ T a 1 ~ T a N とする。S F 1 ~ S F N が有するサステイン期間 ( T s ) をそれぞれ T s 1 ~ T s N

とする。

【0117】

電源供給線（V1～Vx）の電位は所定の電位（電源電位）に保たれている。

【0118】

まずアドレス期間Taにおいて、EL素子106対向電極の電位は、電源電位と同じ高さに保たれている。

【0119】

次にゲート信号線G1に入力されるゲート信号によって、ゲート信号線G1に接続されている全てのスイッチング用TFT104がオンの状態になる。次に、ソース信号線駆動回路102からソース信号線（S1～Sx）にデジタルビデオ信号が入力される。デジタルビデオ信号は「0」または「1」の情報を有しており、「0」と「1」のデジタルビデオ信号は、一方がHi、一方がLoの電圧を有する信号である。

【0120】

そしてソース信号線（S1～Sx）に入力されたデジタルビデオ信号は、オンの状態のスイッチング用TFT104を介して、EL駆動用TFT105のゲート電極に入力される。

【0121】

次にゲート信号線G1に接続されている全てのスイッチング用TFT104がオフの状態になり、ゲート信号線G2に入力されるゲート信号によって、ゲート信号線G2に接続されている全てのスイッチング用TFT104がオンの状態になる。次に、ソース信号線駆動回路102からソース信号線（S1～Sx）にデジタルビデオ信号が入力される。ソース信号線（S1～Sx）に入力されたデジタルビデオ信号は、オンの状態のスイッチング用TFT104を介して、EL駆動用TFT105のゲート電極に入力される。

【0122】

上述した動作をゲート信号線Gyまで繰り返し、全ての画素102のEL駆動用TFT105のゲート電極にデジタルビデオ信号が入力され、アドレス期間が終了する。

## 【0123】

アドレス期間 $T_a$ が終了すると同時にサステイン期間 $T_s$ となる。サステイン期間において、全てのスイッチング用TFT104はオフの状態になる。サステイン期間において、全てのEL素子の対向電極の電位は、電源電位が画素電極に与えられたときにEL素子が発光する程度に、電源電位との間に電位差を有する高さになる。

## 【0124】

本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、EL駆動用TFT105はオフの状態になる。よってEL素子の画素電極は対向電極の電位に保たれたままである。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素において、EL素子106は発光しない。

## 【0125】

逆にデジタルビデオ信号が「1」の情報を有していた場合、EL駆動用TFT105はオンの状態になる。よって電源電位がEL素子106の画素電極に与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有するEL素子106は発光する。

## 【0126】

このように、画素に入力されるデジタルビデオ信号の有する情報によって、EL素子が発光または非発光の状態になり、画素は表示を行う。

## 【0127】

サステイン期間が終了すると同時に、1つのサブフレーム期間が終了する。そして次のサブフレーム期間が出現し、再びアドレス期間に入り、全画素にデジタルビデオ信号を入力したら、再びサステイン期間に入る。なお、サブフレーム期間SF1～SFNの出現する順序は任意である。

## 【0128】

以下、残りのサブフレーム期間においても同様の動作を繰り返し、表示を行う。N個のサブフレーム期間が全て終了したら、1つの画像が表示され、1フレーム期間が終了する。1フレーム期間が終了すると次のフレーム期間のサブフレーム期間が出現し、上述した動作を繰り返す。

## 【 0 1 2 9 】

本願発明において、N個のサブフレーム期間がそれぞれ有するアドレス期間（ $T_{a1} \sim T_{aN}$ ）の長さは全て同じである。またN個のサステイン期間 $T_{s1}$ 、 $\dots$ 、 $T_{sN}$ の長さの比は、 $T_{s1} : T_{s2} : T_{s3} : \dots : T_{s(N-1)} : T_{sN} = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(N-2)} : 2^{-(N-1)}$ で表される。

## 【 0 1 3 0 】

各画素の階調は、1フレーム期間においてどのサブフレーム期間を発光させるかによって決まる。例えば、 $N=8$ のとき、全部のサステイン期間で発光した場合の画素の輝度を100%とすると、 $T_{s1}$ と $T_{s2}$ において画素が発光した場合には75%の輝度が表現でき、 $T_{s3}$ と $T_{s5}$ と $T_{s8}$ を選択した場合には16%の輝度が表現できる。

## 【 0 1 3 1 】

なお本実施例は、実施例1と自由に組み合わせることが可能である。

## 【 0 1 3 2 】

## （実施例3）

実施例1及び2では、アドレス期間において対向電極の電位を電源電位と同じ電位に保っていたため、EL素子は発光しなかった。しかし本願発明はこの構成に限定されない。画素電極に電源電位が与えられたときにEL素子が発光する程度の電位差を、対向電位と電源電位との間に常に設け、アドレス期間においても表示期間と同様に表示を行うようにしても良い。

## 【 0 1 3 3 】

ただしEL素子をエリアセンサの光源として用いる実施例1と本実施例を組み合わせる場合、単色の画像を読み込むエリアセンサでは、フレーム期間内にセンサフレーム期間SFが含まれていることが重要である。またカラー画像を読み込むエリアセンサでは、RGBに対応した3つのサブフレーム期間が、それぞれR用、G用、B用のセンサフレーム期間に含まれていることが重要である。

## 【 0 1 3 4 】

またセンサ部に画像を表示する実施例2と本実施例を組み合わせる場合、サブフレーム期間全体が実際に表示を行う期間となるので、サブフレーム期間の長さ

を、 $SF1 : SF2 : SF3 : \dots : SF(N-1) : SFN = 2^0 : 2^{-1} : 2^{-2} : \dots : 2^{-(N-2)} : 2^{-(N-1)}$  となるように設定する。上記構成により、アドレス期間を発光させない駆動方法に比べて、高い輝度の画像が得られる。

## 【0135】

(実施例4)

本実施例では、図2に示すところのEL素子106の動作を制御している、スイッチング用TFT104及びEL駆動用TFT105の駆動方法の、実施例1とは異なる例について説明する。なおセンサ部の構成は実施の形態で示した構成と同じであるので、図1及び図2を参照する。

## 【0136】

図8に本実施例のエリアセンサの上面図を示す。130はソース信号線駆動回路、132はゲート信号線駆動回路であり、共にスイッチング用TFT104及びEL駆動用TFT105の駆動を制御している。また131はセンサ用ソース信号線駆動回路、133はセンサ用ゲート信号線駆動回路であり、共にリセット用TFT110、バッファ用TFT111及び選択用TFT112の駆動を制御している。本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを1つずつ設けたが、本願発明はこの構成に限定されない。ソース信号線駆動回路を2つ設けても良い。また、ゲート信号線駆動回路を2つ設けても良い。

## 【0137】

なお本明細書において、ソース信号線駆動回路130、ゲート信号線駆動回路132、センサ用ソース信号線駆動回路131、センサ用ゲート信号線駆動回路133を駆動部と呼ぶ。

## 【0138】

ソース信号線駆動回路130は、シフトレジスタ130a、レベルシフト130b、サンプリング回路130cを有している。なおレベルシフトは必要に応じて用いればよく、必ずしも用いなくとも良い。また本実施例においてレベルシフトはシフトレジスタ130aとサンプリング回路130cとの間に設ける構成としたが、本願発明はこの構成に限定されない。またシフトレジスタ130aの中にレベルシフト130bが組み込まれている構成にしても良い。

## 【0139】

クロック信号（CLK）、スタートパルス信号（SP）がシフトレジスタ130aに入力される。シフトレジスタ130aからアナログの信号（アナログ信号）をサンプリングするためのサンプリング信号が出力される。出力されたサンプリング信号はレベルシフト130bに入力され、その電位の振幅が大きくなって出力される。

## 【0140】

レベルシフト130bから出力されたサンプリング信号は、サンプリング回路130cに入力される。そしてサンプリング回路130cに入力されるアナログ信号がサンプリング信号によってそれぞれサンプリングされ、ソース信号線S1～Sxに入力される。

## 【0141】

一方、ゲート信号側駆動回路132は、それぞれシフトレジスタ、バッファ（いずれも図示せず）を有している。また場合によっては、ゲート信号側駆動回路132が、シフトレジスタ、バッファの他にレベルシフトを有していても良い。

## 【0142】

ゲート信号側駆動回路132において、シフトレジスタ（図示せず）からのゲート信号がバッファ（図示せず）に供給され、対応するゲート信号線に供給される。ゲート信号線G1～Gyには、それぞれ1ライン分の画素のスイッチング用TF T104のゲート電極が接続されており、1ライン分全ての画素のスイッチング用TF T104を同時にオンの状態にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

## 【0143】

なおソース信号線駆動回路とゲート信号線駆動回路の数、構成及びその動作は、本実施例で示した構成に限定されない。本願発明のエリアセンサは、公知のソース信号線駆動回路及びゲート信号線駆動回路を用いることが可能である。

## 【0144】

次に、センサ部のスイッチング用TF T104及びEL駆動用TF T105を、アナログ方式で駆動させた場合のタイミングチャートを図9に示す。センサ部

101の全ての画素が一通り発光するまでの期間を1フレーム期間Fと呼ぶ。1ライン期間Lは、1つのゲート信号線が選択されてから、その次に別のゲート信号線が選択されるまでの期間を意味する。図2に示したエリアセンサの場合、ゲート信号線はy本あるので、1フレーム期間中にy個のライン期間L<sub>1</sub>～L<sub>y</sub>が設けられている。

## 【0145】

解像度が高くなるにつれて1フレーム期間中のライン期間の数も増え、駆動回路を高い周波数で駆動しなければならない。

## 【0146】

まず電源電圧線V<sub>1</sub>～V<sub>x</sub>は一定の電源電位に保たれている。そしてEL素子106の対向電極の電位である対向電位も一定の電位に保たれている。電源電位は、電源電位がEL素子106の画素電極に与えられるとEL素子106が発光する程度に、対向電位との間に電位差を有している。

## 【0147】

第1のライン期間L<sub>1</sub>において、ゲート信号線駆動回路132からゲート信号線G<sub>1</sub>に入力されるのゲート信号によって、ゲート信号線G<sub>1</sub>に接続された全てのスイッチング用TFT104はオンの状態になる。そして、ソース信号線S<sub>1</sub>～S<sub>x</sub>に順にソース信号線駆動回路130からアナログ信号が入力される。ソース信号線S<sub>1</sub>～S<sub>x</sub>に入力されたアナログ信号は、スイッチング用TFT104を介してEL駆動用TFT105のゲート電極に入力される。

## 【0148】

EL駆動用TFT105のチャネル形成領域を流れる電流の大きさは、そのゲート電極に入力される信号の電位の高さ（電圧）によって制御される。よって、EL素子106の画素電極に与えられる電位は、EL駆動用TFT105のゲート電極に入力されたアナログ信号の電位の高さによって決まる。そしてEL素子105はアナログ信号の電位に制御されて発光を行う。なお本実施例の場合、全ての画素に入力されるアナログ信号は、同じ高さの電位に保たれている。

## 【0149】

ソース信号線S<sub>1</sub>～S<sub>x</sub>へのアナログ信号の入力が終了すると、第1のライン



期間  $L_1$  が終了する。なお、ソース信号線  $S_1 \sim S_x$  へのアナログ信号の入力が終了するまでの期間と水平帰線期間とを合わせて1つのライン期間としても良い。そして次に第2のライン期間  $L_2$  となり、ゲート信号線  $G_1$  に接続された全てのスイッチング用 T F T 1 0 4 はオフの状態になり、ゲート信号線  $G_2$  に入力されるゲート信号によって、ゲート信号線  $G_2$  に接続された全てのスイッチング用 T F T 1 0 4 はオンの状態になる。そして第1のライン期間  $L_1$  と同様に、ソース信号線  $S_1 \sim S_x$  に順にアナログ信号が入力される。

## 【 0 1 5 0 】

そして上述した動作をゲート信号線  $G_y$  まで繰り返し、全てのライン期間  $L_1 \sim L_y$  が終了する。全てのライン期間  $L_1 \sim L_y$  が終了すると、1フレーム期間が終了する。1フレーム期間が終了することで、全ての画素が有する E L 素子は発光を行う。なお全てのライン期間  $L_1 \sim L_y$  と垂直帰線期間とを合わせて1フレーム期間としても良い。

## 【 0 1 5 1 】

本願発明では、全てのサンプリング期間  $S T_1 \sim S T_y$  において画素が発光する必要があり、よって本実施例の駆動方法の場合、フレーム期間内にセンサフレーム期間  $S F$  が含まれていることが重要である。

## 【 0 1 5 2 】

なお本実施例では、単色の画像を読み込むエリアセンサの駆動方法について説明したが、カラー画像を読み込む場合も同様である。ただしカラー画像を読み込むエリアセンサの場合、1つのフレーム期間を R G B に対応した3つのサブフレーム期間に分割する。そしてR用のサブフレーム期間では、Rに対応する画素の E L 素子だけ発光するようなアナログ信号を全ての画素に入力し、Rの E L 素子だけ発光を行う。G用、B用のサブフレーム期間においても同様に、各色に対応する画素の E L 素子のみが発光を行うようにする。

## 【 0 1 5 3 】

そしてカラー画像を読み込むエリアセンサの場合、R G B に対応した3つのサブフレーム期間の各サステイン期間は、R用、G用、B用センサフレーム期間 ( $S F_r$ 、 $S F_g$ 、 $S F_b$ ) を含んでいることが重要である。

## 【 0 1 5 4 】

なお本実施例の駆動方法において、センサ部 1 0 1 に画像を表示させる場合は、アナログ信号の代わりに画像情報を有するアナログのビデオ信号（アナログビデオ信号）を入力すると、センサ部 1 0 1 に画像を表示することが可能である。

## 【 0 1 5 5 】

## （実施例5）

本実施例では、本願発明のエリアセンサのセンサ部における断面図について説明する。

## 【 0 1 5 6 】

図 1 4 （ B ） に本実施例のエリアセンサの断面図を示す。3 0 1 はスイッチング用 T F T、3 0 2 は E L 駆動用 T F T、3 0 3 はリセット用 T F T、3 0 4 はバッファ用 T F T、3 0 5 は選択用 T F T である。

## 【 0 1 5 7 】

また、2 4 2 は P 型半導体層、2 4 8 は光電変換層、2 3 8 は N 型半導体層である。P 型半導体層 2 4 2 と、光電変換層 2 4 8 と、N 型半導体層 2 3 8 とによって、フォトダイオード 3 0 6 が形成される。2 6 5 はセンサ用配線であり、N 型半導体層 2 3 8 と外部の電源とを電氣的に接続している。また、フォトダイオード 3 0 6 の P 型半導体層 2 4 2 とリセット用 T F T 3 0 3 のドレイン領域とは電氣的に接続されている。

## 【 0 1 5 8 】

また 2 6 4 は画素電極（陽極）、2 6 6 は E L 層、2 6 7 は対向電極（陰極）である。画素電極（陽極）2 6 4 と、E L 層 2 6 6 と、対向電極（陰極）2 6 7 とで E L 素子 2 6 9 が形成される。なお 2 6 8 はバンクであり、隣り合う画素同士の E L 層 2 6 6 を区切っている。

## 【 0 1 5 9 】

2 7 0 は被写体であり、E L 素子 2 6 9 から発せられた光が被写体 2 7 0 において反射し、フォトダイオード 3 0 6 に照射される。本実施例では、被写体を基板 2 0 0 の T F T が形成されていない側に設ける。

## 【 0 1 6 0 】

本実施例において、スイッチング用TFT301、バッファ用TFT304、選択用TFT305は全てNチャネル型TFTである。またEL駆動用TFT302、リセット用TFT303はPチャネル型TFTである。なお本願発明はこの構成に限定されない。よってスイッチング用TFT301、EL駆動用TFT302、バッファ用TFT304、選択用TFT305、リセット用TFT303は、Nチャネル型TFTとPチャネル型TFTのどちらでも良い。

## 【0161】

ただし本実施例のように、EL駆動用TFT302のソース領域またはドレイン領域がEL素子269の陽極264と電氣的に接続されている場合、EL駆動用TFT302はPチャネル型TFTであることが望ましい。また逆に、EL駆動用TFT302のソース領域またはドレイン領域がEL素子269の陰極と電氣的に接続されている場合、EL駆動用TFT302はNチャネル型TFTであることが望ましい。

## 【0162】

なお本実施例のフォトダイオードは他のTFTと同時に形成することができるので、工程数を抑えることができる。

## 【0163】

なお本実施例は、実施例1～実施例4と自由に組み合わせることが可能である。

## 【0164】

## (実施例6)

本実施例では、本願発明のエリアセンサのセンサ部における断面図の、実施例5とは異なる例について説明する。

## 【0165】

図15に本実施例のエリアセンサの断面図を示す。701はスイッチング用TFT、702はEL駆動用TFT、703はリセット用TFT、704はバッファ用TFT、705は選択用TFTである。

## 【0166】

また、738はN型半導体層、748は光電変換層、742はP型半導体層で

ある。N型半導体層738と、光電変換層748と、P型半導体層742とによって、フォトダイオード706が形成される。765はセンサ用配線であり、P型半導体層742と外部の電源とを接続している。また、フォトダイオード706のN型半導体層738とリセット用TFT703のドレイン領域とは電氣的に接続されている。

## 【0167】

また767は画素電極（陰極）、766はEL層、764は対向電極（陽極）である。画素電極（陰極）767と、EL層766と、対向電極（陽極）764とでEL素子769が形成される。なお768はバンクであり、隣り合う画素同士のEL層766を区切っている。

## 【0168】

770は被写体であり、EL素子769から発せられた光が被写体770において反射し、フォトダイオード706に照射される。本実施例では、被写体770を基板700のTFTが形成されている側に設ける。

## 【0169】

本実施例において、スイッチング用TFT701、EL駆動用TFT702、リセット用TFT703は全てnチャネル型TFTである。またバッファ用TFT704、選択用TFT705はpチャネル型TFTである。なお本願発明はこの構成に限定されない。よってスイッチング用TFT701、EL駆動用TFT702、バッファ用TFT704、選択用TFT705、リセット用TFT703は、nチャネル型TFTとpチャネル型TFTのどちらでも良い。

## 【0170】

ただし本実施例のように、EL駆動用TFT702のソース領域またはドレイン領域がEL素子769の陰極709と電氣的に接続されている場合、EL駆動用TFT702はnチャネル型TFTであることが望ましい。また逆に、EL駆動用TFT702のソース領域またはドレイン領域がEL素子769の陽極712と電氣的に接続されている場合、EL駆動用TFT702はpチャネル型TFTであることが望ましい。

## 【0171】

また、本実施例のように、リセット用TFT703のドレイン領域がフォトダイオード721のP型半導体層742と電氣的に接続されている場合、リセット用TFT703はNチャネル型TFT、バッファ用TFT704はPチャネル型TFTであることが望ましい。逆にリセット用TFT703のドレイン領域がフォトダイオード721のP型半導体層742と接続され、センサ用配線714がN型半導体層438と接続されている場合、リセット用TFT703はPチャネル型TFT、バッファ用TFT704はNチャネル型TFTであることが望ましい。

## 【0172】

なお本実施例のフォトダイオード721は他のTFTと同時に形成することができるので、工程数を抑えることができる。

## 【0173】

なお本実施例は、実施例1～実施例5と自由に組み合わせることが可能である。

## (実施例7)

本願発明のエリアセンサのセンサ部の作製方法について、図10～図14を用いて説明する。同一基板上に、スイッチング用TFT301、EL駆動用TFT302、リセット用TFT303、バッファ用TFT304、選択用TFT305及びダイオード306を有するものである。

## 【0174】

まず、図10(A)において、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板200を用いる。なお、基板200としては、透光性を有する基板であれば限定されず、石英基板を用いてもよく、また、ガラス基板、セラミック基板等を用いてもよい。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

## 【0175】

また基板200としては、ステンレス基板を用いてもよい。しかし、ステンレス基板は、透明ではないため、図15にあるように、EL素子769が上面に照

射する場合のみ有効である。

【0176】

次に基板200を覆うように、基板200上に酸化珪素からなる絶縁膜を形成する。絶縁膜は、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜を用いることができる。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化珪素膜を250～800nm（好ましくは300～500nm）、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化珪素膜を250～800nm（好ましくは300～500nm）の厚さに積層して形成しても良い。ここでは酸化珪素からなる絶縁膜を単層構造とし、0.5～1.5 $\mu\text{m}$ の厚さに形成した。なお絶縁膜の材料は酸化珪素に限定されない。

【0177】

次にCMP法で該絶縁膜を研磨することで平坦化絶縁膜201が形成される。CMP法は公知の方法で行うことが可能である。酸化膜の研磨では、一般的に100～1000nm $\phi$ の研磨剤を、PH調整剤等の試薬を含む水溶液に分散させた固液分散系のスラリーが用いられる。本実施例では、水酸化カリウムが添加された水溶液に、塩化珪素ガスを熱分解して得られるフュームドシリカ粒子を20wt%分散したシリカスラリー（PH=10～11）を用いる。

【0178】

平坦化絶縁膜201形成後、平坦化絶縁膜201上に半導体層202～208を形成する。半導体層202～208は、非晶質構造を有する半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒を用いた熱結晶化法等）を行って得られた結晶質半導体膜を所望の形状にパターニングして形成する。この半導体層202～208の厚さは25～80nm（好ましくは30～60nm）の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素またはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ （ $x=0.0001\sim0.02$ ））合金などで形成すると良い。本実施例では、プラズマCVD法を用い、55nmの非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。この非晶質珪素膜に脱水素化（500℃、1時間

）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質珪素膜を形成した。そして、この結晶質珪素膜をフォトリソグラフィ法を用いたパターニング処理によって、半導体層202～208を形成した。

## 【0179】

また、半導体層202～208を形成した後、TFTのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを行ってもよい。

## 【0180】

また、レーザー結晶化法で結晶質半導体膜を作製する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO<sub>4</sub>レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～400mJ/cm<sup>2</sup>（代表的には200～300mJ/cm<sup>2</sup>）とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300kHzとし、レーザーエネルギー密度を300～600mJ/cm<sup>2</sup>（代表的には350～500mJ/cm<sup>2</sup>）とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率（オーバーラップ率）を50～98%として行えばよい。

## 【0181】

次いで、半導体層202～208を覆うゲート絶縁膜209を形成する。ゲート絶縁膜209はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとして珪素を含む絶縁膜で形成する。本実施例では、プラズマCVD法により110nmの厚さで酸化窒化珪素膜（組成比Si=32%、O=59%、N=7%、H=2%）で形成した。勿論、ゲート絶縁膜は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。

## 【0182】

また、酸化珪素膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と $O_2$ とを混合し、反応圧力40 Pa、基板温度300～400℃とし、高周波(13.56 MHz)電力密度0.5～0.8 W/cm<sup>2</sup>で放電させて形成することができる。このようにして作製される酸化珪素膜は、その後400～500℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

## 【0183】

次いで、図10(A)に示すように、ゲート絶縁膜209上に膜厚20～100 nmの第1の導電膜210aと、膜厚100～400 nmの第2の導電膜210bとを積層形成する。本実施例では、膜厚30 nmのTa<sub>2</sub>N膜からなる第1の導電膜210aと、膜厚370 nmのW膜からなる第2の導電膜210bを積層形成した。Ta<sub>2</sub>N膜はスパッタ法で形成し、Taのターゲットを用い、窒素を含む雰囲気内でスパッタした。また、W膜は、Wのターゲットを用いたスパッタ法で形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20  $\mu\Omega$  cm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。従って、本実施例では、高純度のW(純度99.9999%)のターゲットを用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9～20  $\mu\Omega$  cmを実現することができた。

## 【0184】

なお、本実施例では、第1の導電膜210aをTa<sub>2</sub>N、第2の導電膜210bをWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶珪素膜に代表される半導体膜を用いてもよい。また、AgPdCu合金を用いてもよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化チタン(TiN)膜で形成し、第2



の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル (T a N) 膜で形成し、第2の導電膜をA1膜とする組み合わせ、第1の導電膜を窒化タンタル (T a N) 膜で形成し、第2の導電膜をC u膜とする組み合わせとしてもよい。

## 【0185】

次に、フォトリソグラフィ法を用いてレジストからなるマスク211を形成し、電極及び配線を形成するための第1のエッチング処理を行う (図10 (B))。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、I C P (I N d u c t i v e L y C o u P l e d P l a s m a : 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにC F<sub>4</sub>とC l<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10 (s c c m) とし、1 Paの圧力でコイル型の電極に500WのR F (13.56MHz) 電力を投入してプラズマを生成してエッチングを行った。ここでは、松下電器産業 (株) 製のI C Pを用いたドライエッチング装置 (Mod E L E 6 4 5 - □ I C P) を用いた。基板側 (試料ステージ) にも150WのR F (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、T a Nに対するエッチング速度は80.32nm/minであり、T a Nに対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。

## 【0186】

上記第1のエッチング処理では、レジストからなるマスク211の形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層212~216 (第1の導電層212a~216aと第2の導電層212b~216b) を形成する。217はゲート絶縁膜であり、第1の形状の導電層212~216で覆われない領域は20~50nm程度エッチングされ薄くなった領域が形成される。

## 【0187】

次いで、レジストからなるマスクを除去せずに第2のエッチング処理を行う（図10（C））。ここでは、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を25/25/10（sccm）とし、1Paの圧力でコイル型の電極に500WのRF（13.56MHz）電力を投入してプラズマを生成してエッチングを行った。基板側（試料ステージ）にも20WのRF（13.56MHz）電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は124.62nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は20.67nm/minであり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は6.05である。従って、W膜が選択的にエッチングされる。この第2のエッチングによりWのテーパ角は70°となった。この第2のエッチング処理により第2の導電層218b～222bを形成する。一方、第1の導電層218a～222aは、ほとんどエッチングされず、第1の導電層218a～222aが形成される。223はゲート絶縁膜であり、第2の形状の導電層218～222で覆われない領域は20～50nm程度エッチングされ薄くなった領域が形成される。

## 【0188】

第1の導電層218aと第2の導電層218bとで形成された電極は、後の工程で形成されるNチャネル型のバッファ用TFT304となり、第1の導電層219aと第2の導電層219bとで形成された電極は、後の工程で形成されるNチャネル型の選択用TFT305となる。同様に、第1の導電層220aと第2の導電層220bとで形成された電極は、後の工程で形成されるPチャネル型のリセット用TFT303となり、第1の導電層221aと第2の導電層221bとで形成された電極は、後の工程で形成されるNチャネル型のスイッチングTFT301となり、第1の導電層222aと第2の導電層222bとで形成された電極は、後の工程で形成されるPチャネル型のEL駆動用TFT302となる。

## 【0189】

次いで、第1のドーピング処理を行って図11（A）の状態を得る。ドーピングは第2の導電層218b～222bを不純物元素に対するマスクとして用い、第1の導電層218a～222aのテーパ部下方の半導体層に不純物元素が添

加されるようにドーピングする。なお、半導体層 2 0 5 および 2 0 6 の上には、導電層は存在しないので、ゲート絶縁膜 2 2 3 上からドーピングする。本実施例では、不純物元素として P (リン) を用い、ドーズ量  $3.5 \times 10^{12}$ 、加速電圧 9 0 k e V にてプラズマドーピングを行った。こうして第 1 の導電層と重ならない低濃度不純物領域 2 2 4 a ~ 2 2 8 a、2 2 9 および 2 3 0 と、第 1 の導電層と重なる低濃度不純物領域 2 2 4 b ~ 2 2 8 b を自己整合的に形成する。低濃度不純物領域 2 2 4 b ~ 2 2 8 b へ添加されたリン (P) の濃度は、 $1 \times 10^{17} \sim 1 \times 10^{18}$  atoms/cm<sup>3</sup> であり、且つ、第 1 の導電層 2 1 8 a ~ 2 2 2 a のテーパ一部の膜厚に従って緩やかな濃度勾配を有している。なお、第 1 の導電層 2 1 8 a ~ 2 2 2 a のテーパ部と重なる半導体層において、第 1 の導電層 2 1 8 a ~ 2 2 2 a のテーパ部の端部から内側に向かって、若干不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

## 【0 1 9 0】

そして、レジストからなるマスク 2 3 1 を形成し、第 2 のドーピング処理を行い、半導体層に N 型を付与する不純物元素を添加する (図 1 1 (B))。ドーピング処理はイオンドープ法、若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を  $1 \times 10^{13} \sim 5 \times 10^{15}$  atoms/cm<sup>2</sup> とし、加速電圧を 6 0 ~ 1 0 0 k e V として行う。本実施例ではドーズ量を  $1.5 \times 10^{15}$  atoms/cm<sup>2</sup> とし、加速電圧を 8 0 k e V として行った。N 型を付与する不純物元素として 1 5 族に属する元素、典型的にはリン (P) または砒素 (A s) を用いるが、ここではリン (P) を用いた。この場合、導電層 2 1 8 ~ 2 2 2 が N 型を付与する不純物元素に対するマスクとなり、自己整合的に高濃度不純物領域 2 3 2 a ~ 2 3 6 a、2 3 7 および 2 3 8、第 1 の導電層と重ならない低濃度不純物領域 2 3 2 b ~ 2 3 6 b、第 1 の導電層と重なる低濃度不純物領域 2 3 2 c ~ 2 3 6 c が形成される。高濃度不純物領域 2 3 2 a ~ 2 3 6 a、2 3 7 および 2 3 8 には  $1 \times 10^{20} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup> の濃度範囲で N 型を付与する不純物元素を添加する。

## 【0 1 9 1】

なお P チャネル型の半導体膜が形成される半導体膜には、図 1 1 (B) に示し

た第2のドーピング処理によりN型の不純物をドーピングする必要はないため、マスク231を半導体層204、206および208上に完全に覆うように形成し、N型の不純物がドーピングされないようにしても良い。逆にマスク231を半導体層204、206および208上に設けず、第3のドーピング処理において半導体層の極性をP型に反転させても良い。

## 【0192】

次いで、レジストからなるマスク231を除去した後、新たにレジストからなるマスク239を形成して第3のドーピング処理を行う。この第3のドーピング処理により、Pチャネル型TFTの活性層となる半導体層に前記一導電型（N型）とは逆の導電型（P型）を付与する不純物元素が添加された不純物領域240a～240c、241a～241cおよび242を形成する（図11（C））。第1の導電層220b、222bを不純物元素に対するマスクとして用い、P型を付与する不純物元素を添加して自己整合的に不純物領域を形成する。なお、不純物領域242上に導電層は存在しないため、ゲート絶縁膜223上からドーピングする。本実施例では、不純物領域240a～240c、241a～241cおよび242はジボラン（ $B_2H_6$ ）を用いたイオンドープ法で形成する。なお、この第3のドーピング処理の際には、Nチャネル型TFTを形成する半導体層はレジストからなるマスク239で覆われている。第1のドーピング処理及び第2のドーピング処理によって、不純物領域240a、240b、240cにはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもP型を付与する不純物元素の濃度が $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにドーピング処理することにより、Pチャネル型TFTのソース領域およびドレイン領域として機能するために何ら問題は生じない。

## 【0193】

次いで、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ファーンズアニール炉を用いる熱アニール炉で行う。熱アニール法としては、酸素濃度が1 P P m以下、好ましくは0.1 P P m以下の窒素雰囲気中で400～700℃、代表的には500～550℃で行えばよく、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、熱アニ

ール法の他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）などを適用することができる。

#### 【0194】

また、第1の層間絶縁膜を形成した後に活性化処理を行ってもよい。ただし、配線に用いた配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

#### 【0195】

さらに、3～100%の水素を含む雰囲気中で、300～550℃で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。本実施例では、水素を約3%含む窒素雰囲気中で410℃、1時間の熱処理を行った。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる。）

#### 【0196】

また、パッシベーション膜を形成した後に水素化する工程を行ってもよい。

#### 【0197】

以上までの工程でそれぞれの半導体層に不純物領域が形成される。

#### 【0198】

次いで、レジストからなるマスク239を除去し、第3のエッチング処理を行う。本実施例では導電層218～222をマスクとして用いて、ゲート絶縁膜をエッチング処理する。

#### 【0199】

第3のエッチング処理により、ゲート絶縁膜243c～247cが、第2の導電層243b～247bの下方に形成される（図12（A））。

#### 【0200】

次いで、基板200を覆うように、パッシベーション膜を形成する（図12（B））。パッシベーション膜は、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜を用いることができる。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から

作製される酸化窒化珪素膜を 250～800 nm（好ましくは 300～500 nm）、同様に  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  から作製される酸化窒化水素化珪素膜を 250～800 nm（好ましくは 300～500 nm）の厚さに積層して形成してもよい。本実施例では酸化窒素からなるパッシベーション膜を、単層構造とし、0.5～1.5  $\mu\text{m}$  の厚さで形成した。

## 【0201】

次いで、フォトリソグラフィ法を用いて、レジストからなるマスク 272 を形成し、非晶質珪素膜 248 を形成するための第四のエッチング処理を行う。レジストマスク 272 は基板を覆うように、P 型半導体層 242 および N 型半導体層 238 の一部に接するように形成される（図 12（C））。次いで、窒化珪素膜のみをエッチング処理する。本実施例では、ICP エッチング法を用い、エッチング用ガスに  $\text{CF}_4$ 、 $\text{Cl}_2$ 、 $\text{O}_2$  を用い、それぞれのガス流量比を 40/60/35（sccm）とし、1 Pa の圧力でコイル型の電極に 500 W の RF（13.56 MHz）電力を投入してプラズマを生成してエッチングを行った。

## 【0202】

次いで、レジストからなるマスク 272 を除去し、N 型半導体層 242 と P 型半導体層 238 の間に、N 型半導体層 242 と P 型半導体層 238 の一部と接するように、非晶質珪素膜（アモルファスシリコン膜）248 を形成する（図 13（A））。非晶質構造を有する半導体膜は、公知の手段（スパッタ法、LPCVD 法、またはプラズマ CVD 法等）により成膜される。非晶質珪素膜 248 の厚さは、N チャネル型半導体層 242 および P チャネル型半導体層 238 の厚さの、好ましくは 1～10 倍の厚さで形成される。本実施例では、25～800 nm の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくは珪素またはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ （ $x=0.0001\sim0.02$ ））合金などで形成すると良い。本実施例では、プラズマ CVD 法を用い、55 Nm の非晶質珪素膜を成膜した後、ニッケルを含む溶液を非晶質珪素膜上に保持させた。

## 【0203】

次いで、第一層間絶縁膜 249 を形成する（図 13（B））。プラズマ CVD 法またはスパッタ法を用い、厚さを 100～200 nm として珪素を含む絶縁膜

で形成する。本実施例では、プラズマCVD法により膜厚150nmの酸化窒化珪素膜を形成した。勿論、第1の層間絶縁膜235は酸化窒化珪素膜に限定されるものでなく、他の珪素を含む絶縁膜を単層または積層構造として用いても良い。次いで、各不純物領域232a、233a、235a、238、240a、241a、242に達するコンタクトホールを形成するためのパターニングを行う。

#### 【0204】

次いで、ソース配線251～256、ドレイン配線257～262を形成する。なお、本実施例では、この配線の材料としては、AlまたはAgを主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

#### 【0205】

次いで、図14(A)に示すように、第2層間絶縁膜249を形成する。第2層間絶縁膜249として、ポリイミド、ポリアミド、ポリイミドアミド、アクリル等の樹脂を用いることで、平坦な表面を得ることができる。本実施例では、第2層間絶縁膜249として厚さ0.7 $\mu$ mのポリイミド膜を基板全面に形成した。

#### 【0206】

次に、図14(A)に示すように、樹脂材料でなるバンク268を形成する。バンク268は1～2 $\mu$ m厚のアクリル膜またはポリイミド膜をパターニングして形成すれば良い。バンク268はソース配線256上に沿って形成しても良いし、ゲート配線(図示せず)上に沿って形成しても良い。なおバンク268を形成している樹脂材料に顔料等を混ぜ、バンク268を遮蔽膜として用いても良い。

#### 【0207】

次に、EL層266を形成する。具体的には、EL層266となる有機EL材料をクロロフォルム、ジクロロメタン、キシレン、トルエン、テトラヒドロフラン等の溶媒に溶かして塗布し、その後、熱処理を行うことにより溶媒を揮発させる。こうして有機EL材料でなる被膜(EL層)が形成される。

#### 【0208】

なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発

光する発光層、緑色に発光する発光層及び青色に発光する発光層が形成される。本実施例では、赤色に発光する発光層としてシアノポリフェニレンビニレン、緑色に発光する発光層としてポリフェニレンビニレン、青色に発光する発光層としてポリアルキルフェニレンを各々 5 0 n m の厚さに形成する。また、溶媒としては、1, 2-ジクロロメタンを用い、8 0 ~ 1 5 0 ℃ のホットプレートで 1 ~ 5 分の熱処理を行って揮発させる。

## 【 0 2 0 9 】

本実施例では E L 層を 1 層構造とするが、その他に正孔注入層、正孔輸送層、電子注入層、電子輸送層等を設けても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。

## 【 0 2 1 0 】

E L 層 2 6 6 を形成したら、対向電極として透明導電膜でなる陽極 2 6 7 を 1 2 0 n m の厚さに形成する。本実施例では、酸化インジウムに 1 0 ~ 2 0 w t % の酸化亜鉛を添加した透明導電膜を用いる。成膜方法は E L 層 2 6 6 を劣化させないように室温で蒸着法により形成することが好ましい。

## 【 0 2 1 1 】

以上の様にして、バッファ用 T F T 3 0 4、選択用 T F T 3 0 5、リセット用 T F T 3 0 3、ダイオード 3 0 6、スイッチング用 T F T 3 0 1、E L 駆動用 T F T 3 0 2 及び E L 素子 2 6 9 を同一基板上に形成することができる。

## 【 0 2 1 2 】

なお本実施例は、実施例 1 ~ 実施例 5 と自由に組み合わせることが可能である。

## 【 0 2 1 3 】

## (実施例 8)

本願発明のエリアセンサのセンサ部の作製方法について、実施例 6 とは異なるフォトダイオードの作製方法について、図 1 5 を用いて説明する。

## 【 0 2 1 4 】

図 1 5 にフォトダイオード 3 0 6 の拡大図を示す。図 1 5 にあるように、フォトダイオード 3 0 6 は、第二層間絶縁膜 2 5 0 上に金属膜 2 8 0 を形成している



。金属膜 2 8 0 は、ソース配線 2 5 4 およびドレイン配線 2 6 0 の形成の際に同時に形成することができる。また形成される材料は、配線と同じ材料である A 1 または A g を主成分とする膜、またはそれらの積層膜等の反射性の優れた材料を用いることが望ましい。

## 【 0 2 1 5 】

上記の発明を用いることにより、E L 素子から被写体に光を照射し、被写体において反射した光が、フォトダイオードに受け取られる。しかし、光電変換層を通過した光のうち、光電変換層に受け取られず、そのまま通過してしまう光が存在する。金属膜が存在すると、このような光が、金属膜に反射し、再び光電変換層において光を受け取ることが出来る。そのため、より多くの光を受け取ることができる。

## 【 0 2 1 6 】

なお本実施例は、実施例 1 ～実施例 7 と自由に組み合わせることが可能である。

## 【 0 2 1 7 】

## (実施例 9)

本実施例では、本発明を用いて E L 表示装置を作製した例について、図 1 7、図 1 8 を用いて説明する。

## 【 0 2 1 8 】

図 1 7 (A) は本発明の E L 表示装置の T F T 基板の上面図を示している。なお本明細書において T F T 基板とは、画素部が設けられている基板を意味する。

## 【 0 2 1 9 】

基板 4 0 0 1 上に、画素部 4 0 0 2 と、センサ用のソース信号線駆動回路 4 0 0 3 a と E L 素子用のソース信号線駆動回路 4 0 0 3 b、E L 素子用のゲート信号線駆動回路 4 0 0 4 a と、センサ用のゲート信号線駆動回路 4 0 0 4 b とが設けられている。なお本発明においてソース信号線駆動回路とゲート信号線駆動回路の数は図 1 6 (A) に示した数に限定されない。ソース信号線駆動回路とゲート信号線駆動回路の数は、設計者が適宜設定することが可能である。また、本実施例ではソース信号線駆動回路とゲート信号線駆動回路とを T F T 基板上に設け

ているが、本発明はこの構成に限定されない。TFT基板とは別の基板上に設けたソース信号線駆動回路とゲート信号線駆動回路とを、FPC等により画素部と電氣的に接続するようにしても良い。

## 【0220】

4005は画素部4002に設けられた電源供給線（図示せず）に接続された引き回し配線である。また、センサ用およびEL素子用のゲート信号線駆動回路4004a、4004bに接続されたゲート用引き回し配線であり、また4005はセンサ用およびEL素子用のソース信号線駆動回路4003に接続されたソース用引き回し配線である。

## 【0221】

ゲート用引き回し配線4005と、ソース用引き回し配線4005とは、基板4001の外部に設けられたIC等に、FPC4006を介して接続されている。また引き回し配線4005は、基板4001の外部に設けられた電源にFPC4006を介して接続されている。

## 【0222】

引き回し配線4005の拡大図を図17（B）に示す。4100はR用引き回し配線、4101はG用引き回し配線、4102はB用引き回し配線である。

## 【0223】

図18（A）は、図17（A）に示したTFT基板をシーリング材によって封止することによって形成されたエリアセンサの上面図であり、図18（B）は、図18（A）のA-A'における断面図、図18（C）は図18（A）のB-B'における断面図である。なお図17において既に示したものは、同じ符号を用いて示す。

## 【0224】

基板4001上に設けられた画素部4002と、センサ用およびEL素子用のソース信号線駆動回路4003a、bと、センサ用およびEL素子用のゲート信号線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、ソース信号線駆動回路4003a、bと、センサ用およびEL素子用のゲート信号線駆動回路4004a、bとの上にシーリン

グ材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、センサ用および E L 素子用のソース信号線駆動回路 4 0 0 3 a、b と、センサ用および E L 素子用の第 1 及び第 2 のゲート信号線駆動回路 4 0 0 4 a、b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

## 【 0 2 2 5 】

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、ソース信号線駆動回路 4 0 0 3 a、b と、センサ用および E L 素子用のゲート信号線駆動回路 4 0 0 4 a、b とは、複数の T F T を有している。図 1 8 ( B ) では代表的に、下地膜 4 0 1 0 上に形成された、ソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは N チャネル型 T F T と P チャネル型 T F T を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれる E L 駆動用 T F T (E L 素子への電流を制御する T F T) 4 2 0 2、フォトダイオード 4 2 1 1 を図示した。

## 【 0 2 2 6 】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された P チャネル型 T F T または N チャネル型 T F T が用いられ、E L 駆動用 T F T 4 2 0 2 には公知の方法で作製された P チャネル型 T F T が用いられる。また、画素部 4 0 0 2 には E L 駆動用 T F T 4 2 0 2 のゲートに接続された保持容量 (図示せず) が設けられる。

## 【 0 2 2 7 】

駆動 T F T 4 2 0 1、E L 駆動用 T F T 4 2 0 2 およびフォトダイオード 4 2 1 1 上には層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に E L 駆動用 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 2 0 3 が形成される。画素電極 4 2 0 3 としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

## 【 0 2 2 8 】

そして、画素電極 4 2 0 3 の上には絶縁膜 4 3 0 2 が形成され、絶縁膜 4 3 0

2は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上にはEL（エレクトロルミネッセンス）層4204が形成される。EL層4204は公知の有機EL材料または無機EL材料を用いることができる。また、有機EL材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

## 【0229】

EL層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、EL層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

## 【0230】

EL層4204の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極4205が形成される。また、陰極4205とEL層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、EL層4204を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

## 【0231】

以上のようにして、画素電極（陽極）4203、EL層4204及び陰極4205からなるEL素子4303が形成される。そしてEL素子4303を覆うように、絶縁膜4302上に保護膜4303が形成されている。保護膜4303は、EL素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

## 【0232】

4005は電源供給線に接続された引き回し配線であり、EL駆動用TFT4202のソース領域に電氣的に接続されている。引き回し配線4005はシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電氣的に接続される。

## 【0233】

シーリング材4008としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

## 【0234】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

## 【0235】

また、充填材4103としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

## 【0236】

また充填材4103を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、EL素子4303の劣化を抑制できる。

## 【0237】

図 1 8 (C) に示すように、画素電極 4 2 0 3 が形成されると同時に、引き回し配線 4 0 0 5 上に接するように導電性膜 4 2 0 3 a が形成される。

#### 【0 2 3 8】

また、異方導電性フィルム 4 3 0 0 は導電性フィラー 4 3 0 0 a を有している。基板 4 0 0 1 と F P C 4 0 0 6 とを熱圧着することで、基板 4 0 0 1 上の導電性膜 4 2 0 3 a と F P C 4 0 0 6 上の F P C 用配線 4 3 0 1 とが、導電性フィラー 4 3 0 0 a によって電氣的に接続される。

#### 【0 2 3 9】

なお本実施例は、実施例 1 ～実施例 7 と自由に組み合わせることが可能である。

#### 【0 2 4 0】

##### (実施例 1 0)

本実施例では、基板上に T F T と E L 素子とをシーリング材で封止した後、基板を付けかえる例について、図 1 9 を用いて説明する。なお、図 1 9 に示したのは画素部における作製工程を示す断面図である。

#### 【0 2 4 1】

図 1 9 (A) において、3 1 0 1 は素子が形成される基板（以下、素子形成基板という）であり、その上には非晶質シリコン膜からなる剥離層 3 1 0 2 が 1 0 0 ～ 5 0 0 n m （本実施例では 3 0 0 n m）の厚さに形成される。本実施例では素子形成基板 3 1 0 1 としてガラス基板を用いるが、石英基板、シリコン基板、金属基板（S U S 基板）もしくはセラミックス基板を用いても構わない。

#### 【0 2 4 2】

また、剥離層 3 1 0 2 の成膜は減圧熱 C V D 法、プラズマ C V D 法、スパッタ法もしくは蒸着法を用いれば良い。剥離層 3 1 0 2 の上には酸化シリコン膜からなる絶縁膜 3 1 0 3 が 2 0 0 n m の厚さに形成される。絶縁膜 3 1 0 3 の形成は減圧熱 C V D 法、プラズマ C V D 法、スパッタ法もしくは蒸着法を用いれば良い。

#### 【0 2 4 3】

また、絶縁膜 3 1 0 3 の上にはフォトダイオード 3 1 0 4 及び E L 駆動用 T F

T 3 1 0 5 が形成されている。なお本実施例では、E L 駆動用 T F T 3 1 0 5 が p チャネル型 T F T である例を示したが、本実施例はこの構成に限定されない。E L 駆動用 T F T 3 1 0 5 は p チャネル型 T F T と n チャネル型 T F T のどちらでも良い。

## 【 0 2 4 4 】

フォトダイオード 3 1 0 4 及び E L 駆動用 T F T 3 1 0 5 上に、第 1 層間絶縁膜 3 1 0 7 が形成されている。第 1 層間絶縁膜 3 1 0 7 は後に形成される画素電極 3 1 0 6 が平坦化するように、フォトダイオード 3 1 0 4 及び E L 駆動用 T F T 3 1 0 5 を覆って形成される

## 【 0 2 4 5 】

また、E L 駆動用 T F T 3 1 0 5 のドレイン領域に電氣的に接続するように、画素電極 3 1 0 6 が形成される。本実施例において画素電極 3 1 0 6 は、透明導電膜（代表的には酸化インジウムと酸化スズとの化合物膜）を 1 0 0 n m の厚さに形成し、パターニングにより形成される。画素電極 3 1 0 6 は E L 素子の陽極として機能する。

## 【 0 2 4 6 】

画素電極 3 1 0 6 を形成した後、酸化シリコン膜からなる第 2 層間絶縁膜 3 1 1 4 が 3 0 0 n m の厚さに形成される。そして、開口部 3 1 0 8 を形成し、7 0 n m 厚の E L 層 3 1 0 9 及び 3 0 0 n m 厚の陰極 3 1 1 0 を蒸着法により形成する。本実施例では E L 層 3 1 0 9 として 2 0 n m 厚の正孔注入層及び 5 0 n m 厚の発光層を積層した構造を用いる。勿論、発光層に正孔注入層、正孔輸送層、電子輸送層もしくは電子注入を組み合わせた公知の他の構造を用いても良い。

## 【 0 2 4 7 】

以上のようにして、画素電極（陽極）3 1 0 6、E L 層 3 1 0 9 及び陰極 3 1 1 0 からなる E L 素子 3 1 1 1 が形成される。本実施例ではこの E L 素子 3 1 1 1 が発光素子として機能する。

## 【 0 2 4 8 】

次に、第 1 接着剤 3 1 1 2 により素子を固定するための基板（以下、シーリング材という）3 1 1 3 を貼り合わせる。本実施例ではシーリング材 3 1 1 3 とし

て可撓性のプラスチックフィルムを用いるが、ガラス基板、石英基板、プラスチック基板、シリコン基板もしくはセラミックス基板を用いても良い。また、第1接着剤3112としては、後に剥離層3102を除去する際に選択比のとれる材料を用いる必要がある。

## 【0249】

代表的には樹脂からなる絶縁膜を用いることができ、本実施例ではポリイミドを用いるが、アクリル、ポリアミドもしくはエポキシ樹脂を用いても良い。なお、EL素子から見て観測者側（電気光学装置の使用者側）に位置する場合は、光を透過する材料であることが必要である。

## 【0250】

第1接着剤3112により、EL素子を完全に大気から遮断することができる。これにより酸化による有機EL材料の劣化をほぼ完全に抑制することができ、EL素子の信頼性を大幅に向上させることができる。

## 【0251】

次に、図19(B)に示すように、剥離層3102を除去し、素子形成基板3101と絶縁膜3103とを剥離する。本実施例ではフッ化ハロゲンを含むガス中に剥離層3102を晒し、剥離を行う。本実施例ではフッ化ハロゲンとして三フッ化塩素(C1F<sub>3</sub>(3))を用い、希釈ガスとして窒素を用いる。希釈ガスとしては、アルゴン、ヘリウムもしくはネオンを用いても良い。流量は共に500 sccm ( $8.35 \times 10^{-6} \text{ m}^3/\text{s}$ )とし、反応圧力は1~10 Torr ( $1.3 \times 10^2 \sim 1.3 \times 10^3 \text{ Pa}$ )とすれば良い。また、処理温度は室温（典型的には20~27℃）で良い。

## 【0252】

この場合、シリコン膜はエッチングされるが、プラスチックフィルム、ガラス基板、ポリイミド膜、酸化シリコン膜はエッチングされない。即ち、三フッ化塩素ガスに晒すことで剥離層3102が選択的にエッチングされ、最終的には完全に除去される。なお、同じくシリコン膜で形成されているフォトダイオード3104及びEL駆動用TFT3105の活性層は第1層間絶縁膜3107に覆われているため三フッ化塩素ガスに晒されることがなく、エッチングされることはな



い。

#### 【0253】

本実施例の場合、剥離層 3 1 0 2 は露呈した端部から徐々にエッチングされていき、完全に除去された時点で素子形成基板 3 1 0 1 と絶縁膜 3 1 0 3 が分離される。このとき、T F T 及び E L 素子は薄膜を積層して形成されているが、シーリング材 3 1 1 3 に移された形で残る。

#### 【0254】

なお、ここでは剥離層 3 1 0 2 が端部からエッチングされていくことになるが、素子形成基板 3 1 0 1 が大きくなると完全に除去されるまでの時間が長くなり好ましいものではない。従って、エッチングで除去する場合は素子形成基板 3 1 0 1 が対角 3 インチ以下（好ましくは対角 1 インチ以下）の場合に実施することが望ましい。

#### 【0255】

なお本実施例では剥離層 3 1 0 2 を三フッ化塩素ガス雰囲気下においてエッチングすることで除去したが、本実施例はこの構成に限定されない。素子形成基板 3 1 0 1 側から剥離層 3 1 0 2 にレーザー光を照射し、剥離層 3 1 0 2 を気化させることで素子形成基板 3 1 0 1 を剥離するようにしても良い。この場合、レーザー光が素子形成基板 3 1 0 1 を通過するように、レーザー光の種類と素子形成基板 3 1 0 1 の材質とを適宜選択する必要がある。例えば素子形成基板 3 1 0 1 に石英基板を用いるならば、Y A G レーザー（基本波（1 0 6 4 n m）、第 2 高調波（5 3 2 n m）、第 3 高調波（3 5 5 n m）、第 4 高調波（2 6 6 n m））あるいはエキシマレーザー（波長 3 0 8 n m）を用い、線状ビームを形成し、石英基板を通過させれば良い。なお、エキシマレーザーはガラス基板を通過しない。したがって、素子形成基板 3 1 0 1 としてガラス基板を用いるのであれば、Y A G レーザーの基本波、第 2 高調波、第 3 高調波を用い、好ましくは第 2 高調波（波長 5 3 2 n m）を用いて線状ビームを形成し、ガラス基板を通過させれば良い。

#### 【0256】

またレーザー光を用いて剥離を行う場合、剥離層 3 1 0 2 として照射するレー

ザー光で気化するものを用いる。

【0257】

また、レーザー光を用いる方法のほかに、剥離層3102を溶液によって溶解させることで素子形成基板3101を剥離するようにしても良い。この場合、剥離層3102だけが選択的に溶解するような溶液を用いることが好ましい。

【0258】

こうしてシーリング材3113にTFT及びEL素子に移したら、図19(C)に示すように、第2接着剤3114を形成し、第2素子形成基板3115を貼り合わせる。第2接着剤3114としては樹脂からなる絶縁膜（代表的にはポリイミド、アクリル、ポリアミドもしくはエポキシ樹脂）を用いても良いし、無機絶縁膜（代表的には酸化シリコン膜）を用いても良い。なお、EL素子から見て観測者側に位置する場合は、光を透過する材料であることが必要である。

【0259】

こうして素子形成基板3101から第2素子形成基板3115へとTFT及びEL素子に移される。その結果、シーリング材3113、と第2素子形成基板3115によって挟まれたEL表示装置を得ることができる。ここでシーリング材3113と第2素子形成基板3115を同一材料とすると熱膨張係数が等しくなるので、温度変化による応力歪みの影響を受けにくくすることができる。

【0260】

本実施例により作製されたEL表示装置は、シーリング材3113と第2素子形成基板3115の材料を、TFTのプロセス時における耐熱性に左右されることがなく選択することができる。例えばシーリング材3113と第2素子形成基板3115としてプラスチック基板を用いることができ、フレキシブルなEL表示装置を作成することも可能である。

【0261】

なお本実施例は、実施例1～8に示した構成と、自由に組み合わせて実施することが可能である。

【0262】

(実施例11)

本実施例では、E L 表示装置の表面全体または E L 表示装置の端部に、D L C 膜を形成する例について説明する。

## 【 0 2 6 3 】

図 2 0 ( A ) は表面全体に D L C 膜を形成した E L 表示装置の断面図である。基板 3 2 0 1 上にスイッチング用 T F T 3 2 0 5 と、E L 駆動用 T F T 3 2 0 4 と、フォトダイオード 3 2 0 6 が形成されている。3 2 0 3 は E L 素子であり、E L 駆動用 T F T 3 2 0 4 によって E L 素子 3 2 0 7 に流れる電流が制御される。

## 【 0 2 6 4 】

スイッチング用 T F T 3 2 0 5、E L 駆動用 T F T 3 2 0 4 及び E L 素子 3 2 0 3 はシーリング材 3 2 0 2 とシール材 3 2 0 8 によって密封されており、外気から遮断されている。3 2 0 9 は引き回し配線であり、シール材 3 2 0 8 と基板 3 2 0 1 との間を通して、E L 素子 3 2 0 3 が密封された空間の外に露出している。

## 【 0 2 6 5 】

3 2 1 0 は D L C 膜であり、E L 素子 3 2 0 3 が密封された空間の外に露出している引き回し配線 3 2 0 9 の一部を除いて、E L 表示装置全体を覆っている。

## 【 0 2 6 6 】

なお本実施例において D L C 膜の成膜は、E C R プラズマ C V D 法、R F プラズマ C V D 法、 $\mu$ 波プラズマ C V D 法もしくはスパッタ法を用いれば良い。D L C 膜の特徴としては、 $1550\text{ cm}^{-1}$  くらいに非対称のピークを有し、 $1300\text{ cm}^{-1}$  くらいに肩を持つラマンスペクトル分布を有する。また微小硬度計で測定した時に  $15\sim25\text{ GPa}$  の硬度を示すという特徴をもつ。このような炭素膜は基板の表面を保護する特徴を有する。特にプラスチック基板の場合、傷がつきやすいことから、図 2 0 ( A ) のように表面を D L C 膜で覆うことは傷を防ぐのに有効である。

## 【 0 2 6 7 】

また D L C 膜は、酸素および水の進入を防ぐのに有効である。よって本実施例のようにシール材 3 2 0 8 を覆うように D L C 膜 3 2 1 0 を形成することによっ

て、外部からの水分や酸素等の、E L 層の劣化を促す物質が、E L 素子 3 2 0 3 が密封されている空間に進入するのを防ぐことができる。

## 【 0 2 6 8 】

なお、D L C 膜 3 2 1 0 を形成する際に、E L 素子 3 2 0 3 が密封された空間の外に露出している引き回し配線 3 2 0 9 の一部を、レジストマスク等で覆うようにし、D L C 膜 3 2 1 0 形成後該レジストマスクを除去する。D L C 膜 3 2 1 0 に覆われていない引き回し配線 3 2 0 9 の一部は、異方性導電膜 3 2 1 3 によって、F P C 3 2 1 1 に設けられた F P C 用配線 3 2 1 1 に接続される。

## 【 0 2 6 9 】

図 2 0 ( B ) は、E L 表示装置の端部に D L C 膜を形成した場合の、E L 表示装置の断面図である。基板 3 3 0 1 上にスイッチング用 T F T 3 3 0 5 と、E L 駆動用 T F T 3 3 0 4 と、フォトダイオード 3 3 0 6 が形成されている。3 3 0 3 は E L 素子であり、E L 駆動用 T F T 3 3 0 4 によって E L 素子 3 3 0 7 に流れる電流が制御される。

## 【 0 2 7 0 】

スイッチング用 T F T 3 3 0 5、E L 駆動用 T F T 3 3 0 4、フォトダイオード 3 3 0 6 及び E L 素子 3 3 0 7 はシーリング材 3 3 0 2 とシール材 3 3 0 8 によって密封されており、外気から遮断されている。3 3 0 9 は引き回し配線であり、シール材 3 3 0 8 と基板 3 3 0 1 との間を通して、E L 素子 3 3 0 7 が密封された空間の外に露出している。

## 【 0 2 7 1 】

3 3 1 0 は D L C 膜であり、E L 素子 3 3 0 7 が密封された空間の外に露出している引き回し配線 3 3 0 9 の一部を除いて、シーリング材 3 3 0 2 の一部と、基板 3 3 0 1 の一部と、シール材 3 3 0 8 とを覆って形成されている。

## 【 0 2 7 2 】

D L C 膜 3 3 1 0 は、酸素および水の進入を防ぐのに有効である。よって本実施例のようにシール材 3 3 0 8 を覆うように D L C 膜 3 3 1 0 を形成することによって、外部からの水分や酸素等の、E L 層の劣化を促す物質が、E L 素子 3 3 0 4 が密封されている空間に進入するのを防ぐことができる。

## 【 0 2 7 3 】

図 2 0 ( B ) で示した E L 表示装置は、E L 表示装置の端部（シール材を含む部分）にのみ D L C 膜 3 3 1 0 を形成しているのので、D L C 膜 3 3 1 0 の成膜が容易である。

## 【 0 2 7 4 】

なお、D L C 膜 3 3 1 0 を形成する際に、E L 素子 3 3 0 7 が密封された空間の外に露出している引き回し配線 3 3 0 9 の一部を、レジストマスク等で覆うようにし、D L C 膜 3 3 1 0 形成後、該レジストマスクを除去する。D L C 膜 3 3 1 0 に覆われていない引き回し配線 3 3 0 9 の一部は、異方性導電膜 3 3 1 3 によって、F P C 3 3 1 1 に設けられた F P C 用配線 3 3 1 1 に接続される。

## 【 0 2 7 5 】

なお本実施例は、実施例 1 ～ 8 に示した構成と、自由に組み合わせて実施することが可能である。

## （実施例 1 2）

本願発明のエリアセンサの一例として、携帯型ハンドスキャナーについて図 2 1 を用いて説明する。

## 【 0 2 7 6 】

図 2 1 ( a ) は携帯型ハンドスキャナーであり、本体 4 0 1、センサ部 4 0 2、上部カバー 4 0 3、外部接続ポート 4 0 4、操作スイッチ 4 0 5 で構成されている。図 2 1 ( b ) は 2 1 ( a ) と同じ携帯型ハンドスキャナーの上部カバー 4 0 3 を閉じた図である。

## 【 0 2 7 7 】

本願発明のエリアセンサは、読み込んだ画像をセンサ部 4 0 2 において表示することが可能であり、新たに電子ディスプレイをエリアセンサに設けなくとも、その場で読み込んだ画像を確認することができる。

## 【 0 2 7 8 】

またエリアセンサ 4 0 2 で読み込んだ画像信号を、外部接続ポート 4 0 4 から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、ソフト上で画像を補正、合成、編集等を行うことも可能である。

【 0 2 7 9 】

なお本実施例は、実施例 1 ～実施例 1 1 と自由に組み合わせることが可能である。

【 0 2 8 0 】

(実施例 1 3)

本願発明のエリアセンサの一例として、実施例 1 2 とは別の携帯型ハンドスキャナーについて、図 2 2 を用いて説明する。

【 0 2 8 1 】

5 0 1 はセンサ基板、5 0 2 はセンサ部、5 0 3 はタッチパネル、5 0 4 はタッチペンである。タッチパネル 5 0 3 は透光性を有しており、センサ部 5 0 2 から発せられる光及び、センサ部 5 0 2 に入射する光を透過することができ、タッチパネル 5 0 3 を通して被写体上の画像を読み込むことができる。またセンサ部 5 0 2 に画像が表示されている場合にも、タッチパネル 5 0 3 を通して、センサ部 5 0 2 上の画像を見ることが可能である。

【 0 2 8 2 】

タッチペン 5 0 4 がタッチパネル 5 0 3 に触れると、タッチペン 5 0 4 とタッチパネル 5 0 3 とが接している部分の位置の情報を、電気信号としてエリアセンサに取り込むことができる。本実施例で用いられるタッチパネル 5 0 3 及びタッチペン 5 0 4 は、タッチパネル 5 0 3 が透光性を有していて、なおかつタッチペン 5 0 4 とタッチパネル 5 0 3 とが接している部分の位置の情報を、電気信号としてエリアセンサに取り込むことができるものならば、公知のものを用いることができる。

【 0 2 8 3 】

上記構成を有する本願発明のエリアセンサは、画像を読み込んで、センサ部 6 0 2 に読み込んだ画像を表示し、取り込んだ画像にタッチペン 5 0 4 で書き込みを行うことができる。そして本願発明のエリアセンサは、画像の読み込み、画像の表示、画像への書き込みを、全てセンサ部 5 0 2 において行うことができる。よってエリアセンサ自体の大きさを抑え、なおかつ様々な機能をエリアセンサに持たせることができる。

## 【 0 2 8 4 】

なお本実施例は、実施例 1 ～ 実施例 1 2 と自由に組み合わせることが可能である。

## 【 0 2 8 5 】

## ( 実施例 1 4 )

本実施例では、エリアセンサのセンサ部の構造が、図 1 とは異なる例について説明する。

## 【 0 2 8 6 】

図 2 4 に本実施例のエリアセンサのセンサ部の回路図を示す。センサ部 1 0 0 1 はソース信号線 S 1 ～ S x、電源供給線 V 1 ～ V x、ゲート信号線 G 1 ～ G y、リセット用ゲート信号線 R G 1 ～ R G y、センサ出力配線 S S 1 ～ S S x、センサ用電源線 V B が設けられている。

## 【 0 2 8 7 】

センサ部 1 0 0 1 は複数の画素 1 0 0 2 を有している。画素 1 0 0 2 は、ソース信号線 S 1 ～ S x のいずれか 1 つと、電源供給線 V 1 ～ V x のいずれか 1 つと、ゲート信号線 G 1 ～ G y のいずれか 1 つと、リセット用ゲート信号線 R G 1 ～ R G y のいずれか 1 つと、センサ出力配線 S S 1 ～ S S x のいずれか 1 つと、センサ用電源線 V B とを有している。

## 【 0 2 8 8 】

センサ出力配線 S S 1 ～ S S x はそれぞれ定電流電源 1 0 0 3 \_ 1 ～ 1 0 0 3 \_ x に接続されている。

## 【 0 2 8 9 】

画素 1 0 0 2 はスイッチング用 T F T 1 0 0 4、E L 駆動用 T F T 1 0 0 5、E L 素子 1 0 0 6 を有している。また図 2 5 では画素 1 0 0 2 にコンデンサ 1 0 0 7 が設けられているが、コンデンサ 1 0 0 7 を設けなくとも良い。さらに画素 1 0 0 2 は、リセット用 T F T 1 0 1 0、バッファ用 T F T 1 0 1 1、選択用 T F T 1 0 1 2、フォトダイオード 1 0 1 3 を有している。

## 【 0 2 9 0 】

E L 素子 1 0 0 6 は陽極と陰極と、陽極と陰極との間に設けられた E L 層とか

らなる。陽極がE L駆動用T F T 1 0 0 5のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極がE L駆動用T F T 1 0 0 5のソース領域またはドレイン領域と接続している場合、陽極が対向電極、陰極が画素電極である。

## 【 0 2 9 1 】

スイッチング用T F T 1 0 0 4のゲート電極はゲート信号線（G 1 ~ G y）に接続されている。そしてスイッチング用T F T 1 0 0 4のソース領域とドレイン領域は、一方がソース信号線Sに、もう一方がE L駆動用T F T 1 0 0 5のゲート電極に接続されている。

## 【 0 2 9 2 】

E L駆動用T F T 1 0 0 5のソース領域とドレイン領域は、一方が電源供給線（V 1 ~ V x）に、もう一方がE L素子1 0 0 6に接続されている。コンデンサ1 0 0 7はE L駆動用T F T 1 0 0 5のゲート電極と電源供給線（V 1 ~ V x）とに接続して設けられている。

## 【 0 2 9 3 】

リセット用T F T 1 0 1 0のゲート電極はリセット用ゲート信号線（R G 1 ~ R G x）に接続されている。リセット用T F T 1 0 1 0のソース領域はセンサ用電源線V Bに接続されている。センサ用電源線V Bは常に一定の電位（基準電位）に保たれている。またリセット用T F T 1 0 1 0のドレイン領域はフォトダイオード1 0 1 3及びバッファ用T F T 1 0 1 1のゲート電極に接続されている。

## 【 0 2 9 4 】

図示しないが、フォトダイオード1 0 1 3はN型半導体層と、P型半導体層と、N型半導体層とP型半導体層の間に設けられた光電変換層とを有している。リセット用T F T 1 0 1 0のドレイン領域は、具体的にはフォトダイオード1 0 1 3のP型半導体層又はN型半導体層に接続されている。

## 【 0 2 9 5 】

バッファ用T F T 1 0 1 1のドレイン領域はセンサ用電源線V Bに接続されており、常に一定の基準電位に保たれている。そしてバッファ用T F T 1 0 1 1のソース領域は選択用T F T 1 0 1 2のソース領域又はドレイン領域に接続されて



いる。

【0296】

選択用TFT1012のゲート電極はゲート信号線(G1~Gx)に接続されている。そして選択用TFT1012のソース領域とドレイン領域は、一方は上述したとおりバッファ用TFT1011のソース領域に接続されており、もう一方はセンサ出力配線(SS1~SSx)に接続されている。センサ出力配線(SS1~SSx)は定電流電源1003(定電流電源1003\_\_1~1003\_\_x)にそれぞれ接続されており、常に一定の電流が流れている。

【0297】

本実施例において、スイッチング用TFT1004及び選択用TFT1012の極性は同じである。つまり、スイッチング用TFT1004がNチャネル型TFTの場合、選択用TFT1012もNチャネル型TFTである。またスイッチング用TFT1004がPチャネル型TFTの場合、選択用TFT1012もPチャネル型TFTである。

【0298】

そして本実施例のエリアセンサのセンサ部は、図1に示したエリアセンサと異なり、スイッチング用TFT1004のゲート電極と、選択用TFT1012のゲート電極が、共にゲート信号線(G1~Gx)に接続されていることである。よって本実施例のエリアセンサの場合、各画素の有するEL素子1006の発光する期間は、サンプリング期間(ST1~STN)と同じ長さである。上記構成によって、本実施例のエリアセンサは配線の数を図1の場合に比べて少なくすることができる。

【0299】

なお本実施例のエリアセンサも、センサ部1001に画像を表示することは可能である。

【0300】

本実施例の構成は、実施例3~実施例9と自由に組み合わせることが可能である。

【0301】

## 【発明の効果】

## 【0302】

本願発明は上記構成によって光が被写体に均一に照射されるため、読み込んだ画像の明るさにむらが生じることはない。そしてバックライトと光散乱板とをセンサ基板と別個に設ける必要はないため、従来例と異なり、バックライト、光散乱板、センサ基板及び被写体の位置を精密に調整したりする必要がなく、エリアセンサ自体の機械的強度が増す。またエリアセンサ自体の小型化、薄型化、軽量化が実現される。

## 【0303】

また本願発明のエリアセンサは、EL素子を用いてセンサ部に画像を表示することが可能である。そのため、新たに電子ディスプレイをエリアセンサに設けなくとも、センサ部で読み込んだ画像をセンサ部に表示させることが可能であり、その場で読み込んだ画像を確認することができる。

## 【0304】

また、本願発明のフォトダイオードは、光電変換層は非晶質珪素膜で形成されており、N型半導体層はN型の多結晶珪素膜、P型半導体層はP型の多結晶珪素膜で形成されている。このとき、非晶質珪素膜は、多結晶珪素膜よりも厚く、厚さの比は、好ましくは1～10：1である。非晶質珪素膜の厚さが多結晶珪素膜よりも厚いことによって、より多くの光を受け取ることが出来る。また、本願発明では、非晶質珪素膜は、多結晶珪素膜等よりも光の吸収率が高いので、光電変換層に非晶質珪素膜を用いている。

## 【0305】

## 【図面の簡単な説明】

【図1】 センサ部の回路図。

【図2】 画素の回路図。

【図3】 センサ部の画像の読み取りのタイミングチャート。

【図4】 センサ部のカラー画像の読み取りのタイミングチャート。

【図5】 デジタル駆動のエリアセンサ上面図。

【図6】 画像の読み取り際の、EL素子の発光のタイミングチャート。

【図 7】 画像の表示の際の、E L 素子の発光のタイミングチャート。

【図 8】 アナログ駆動のエリアセンサ上面図。

【図 9】 画像の読み取りの際の、E L 素子の発光のタイミングチャート。

【図 1 0】 センサ部の作製工程図。

【図 1 1】 センサ部の作製工程図。

【図 1 2】 センサ部の作製工程図。

【図 1 3】 センサ部の作製工程図。

【図 1 4】 センサ部の作製工程図。

【図 1 5】 本願発明のフォトダイオードの拡大図。

【図 1 6】 本願発明のフォトダイオードの拡大図。

【図 1 7】 本願発明のエリアセンサのセンサ部の上面図。

【図 1 8】 本願発明のエリアセンサのセンサ部の概観図および断面図。

【図 1 9】 本願発明の作製工程図。

【図 2 0】 本願発明の作製工程図。

【図 2 1】 本願発明のエリアセンサの一例である携帯ハンドスキャナーの外観図

。 【図 2 2】 本願発明のエリアセンサの一例であるタッチパネル付エリアセンサの外観図。

【図 2 3】 従来のエリアセンサの斜視図及び断面図。

【図 2 4】 センサ部の回路図。

【符号の簡単な説明】

1 0 1 センサ部

1 0 2 画素

1 0 3 定電流電源

1 0 4 スイッチング用 T F T

1 0 5 E L 駆動用 T F T

1 0 6 E L 素子

1 0 7 コンデンサ

1 1 0 リセット用 T F T

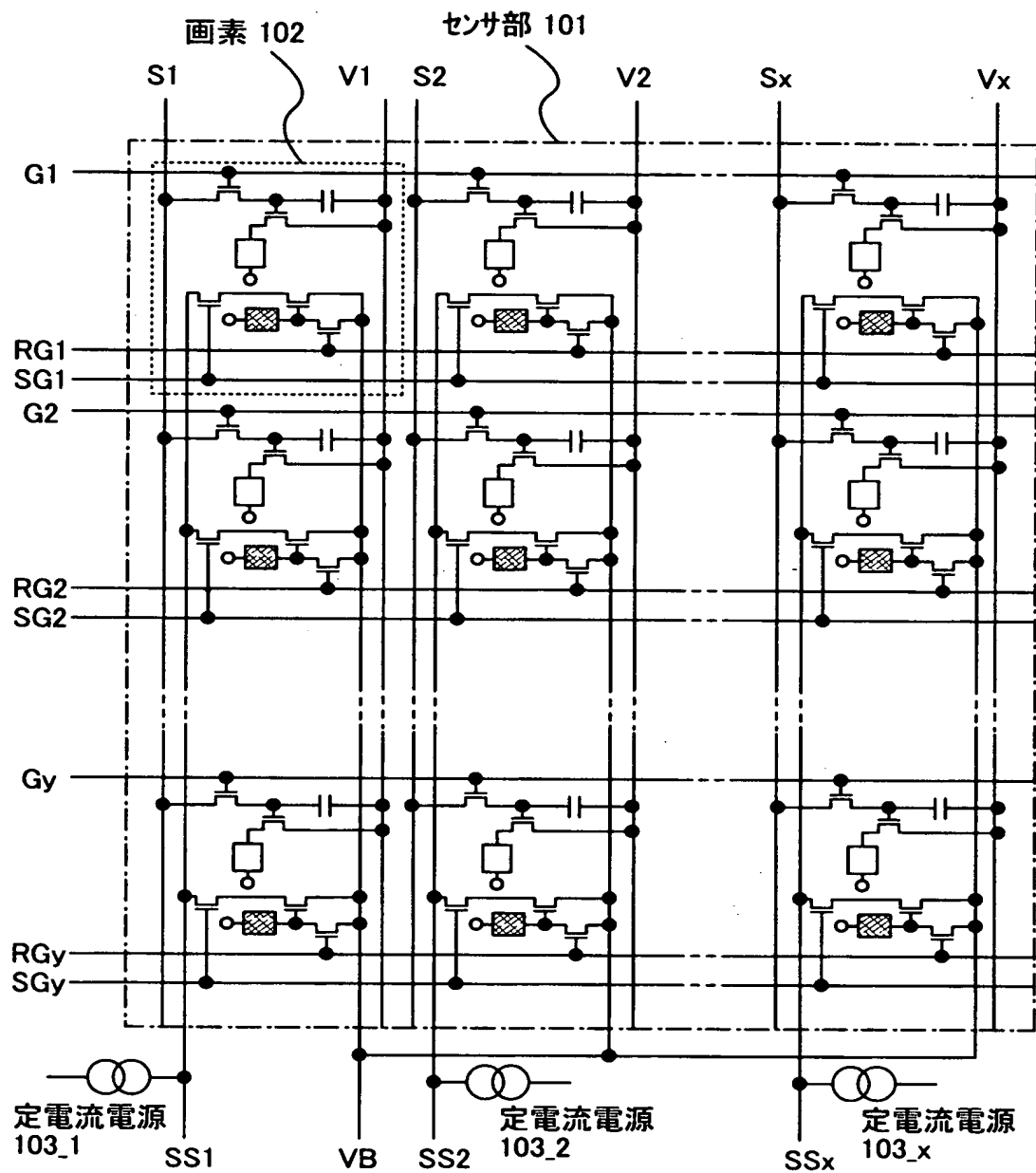
1 1 1 バッファ用 T F T

1 1 2 選択用 T F T

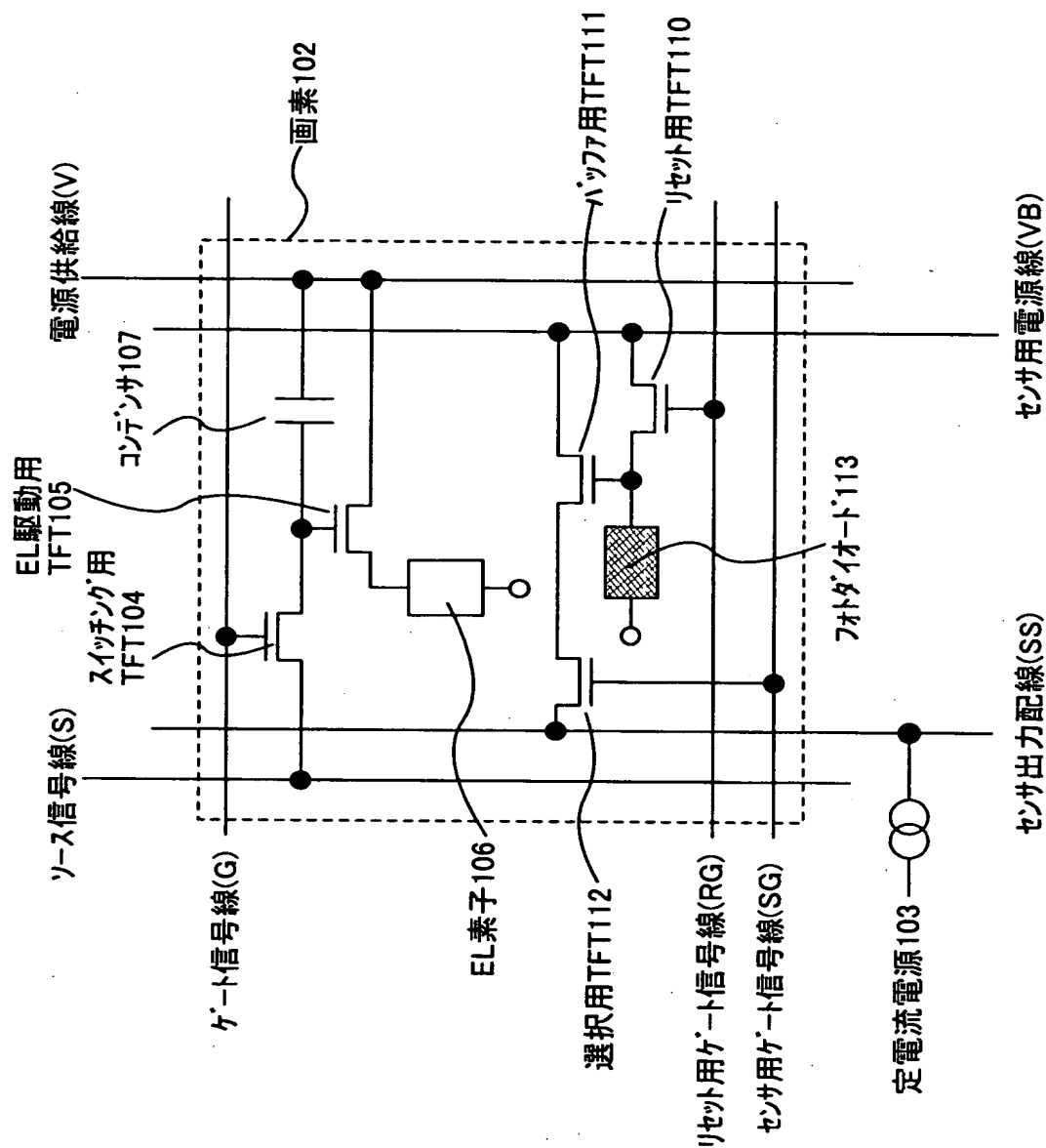
1 1 3 フォトダイオード

【書類名】 図面

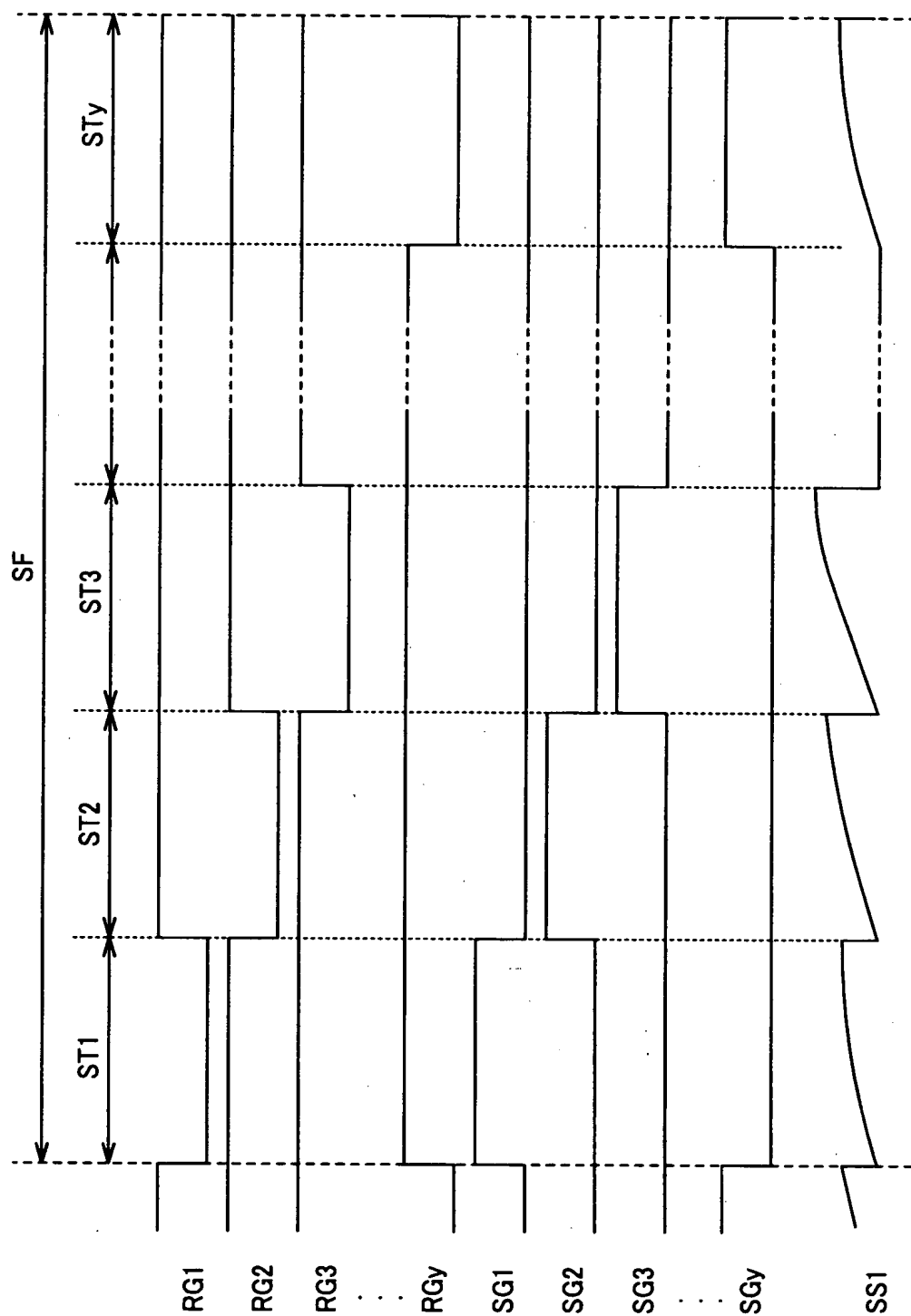
【図 1】



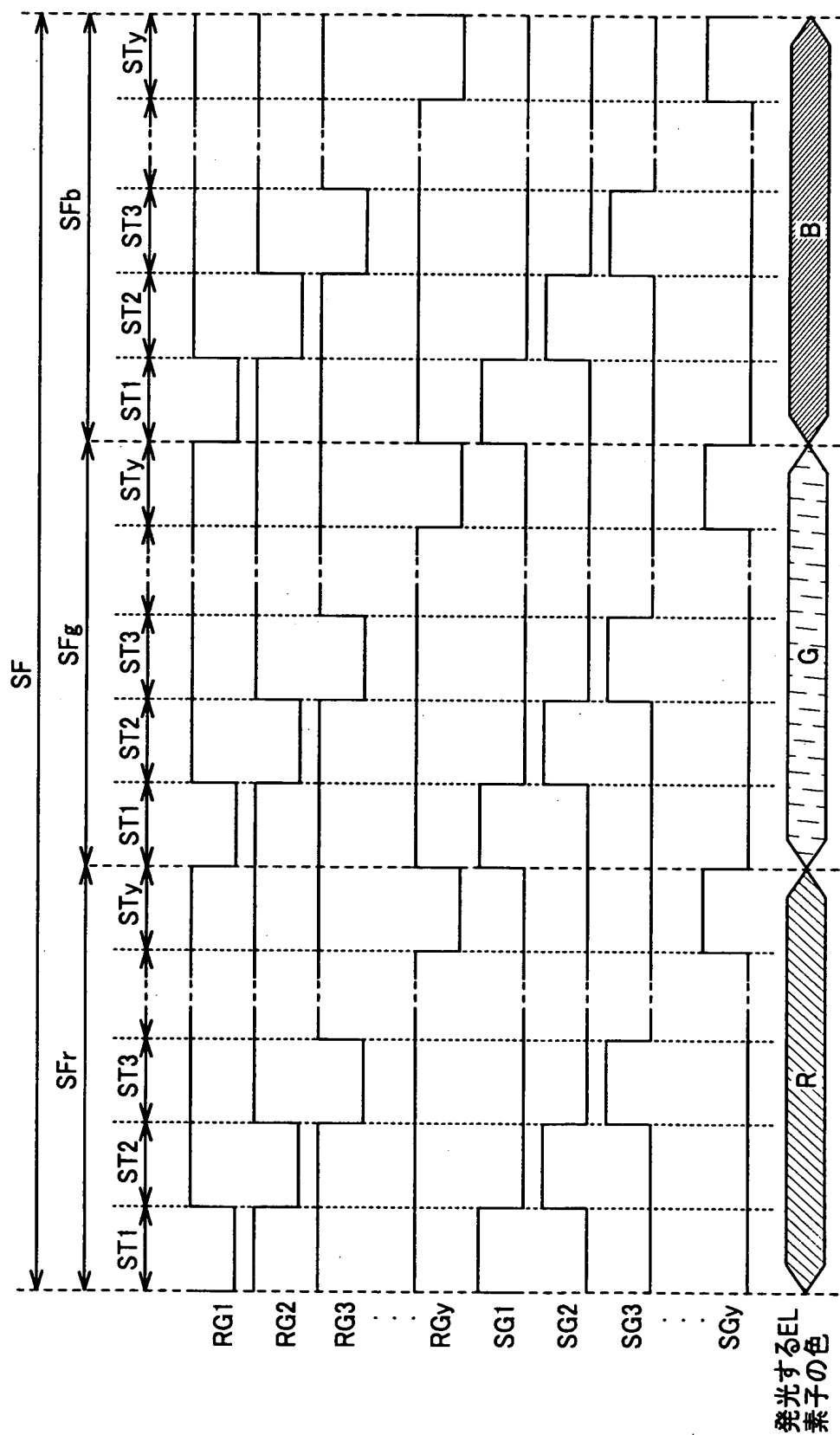
【図 2】



【図 3】

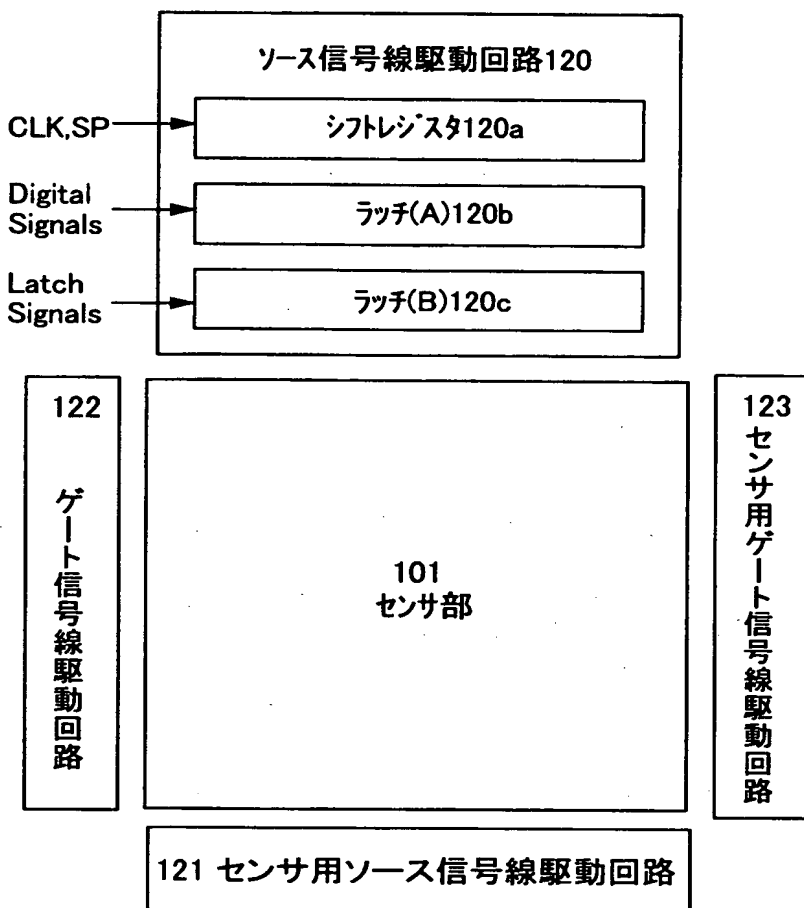


【図 4】

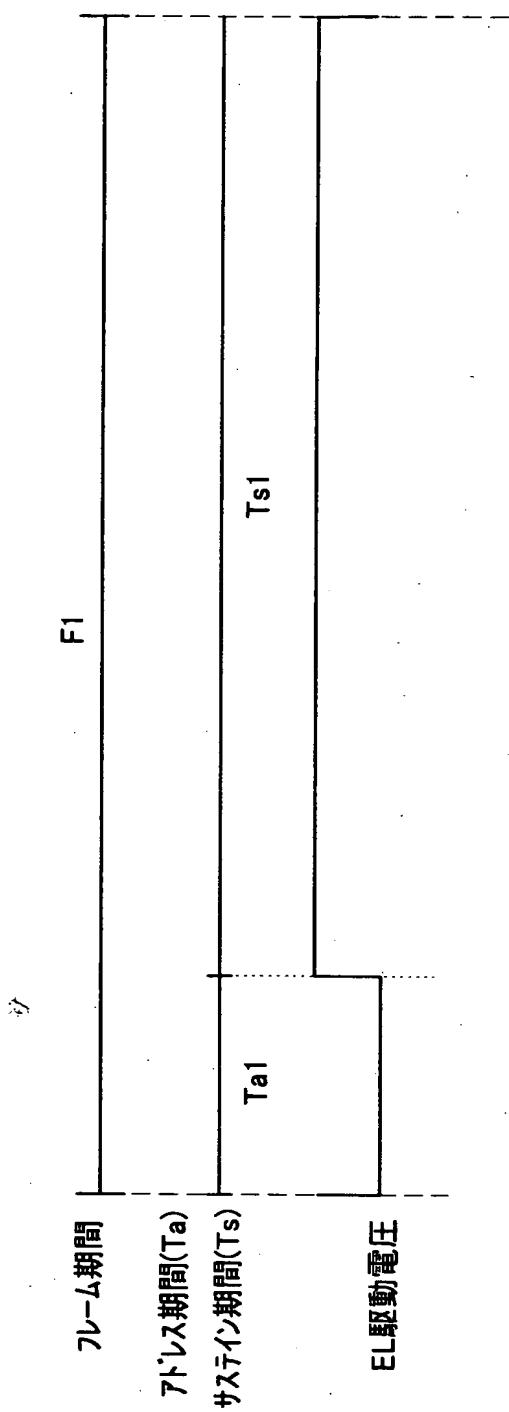




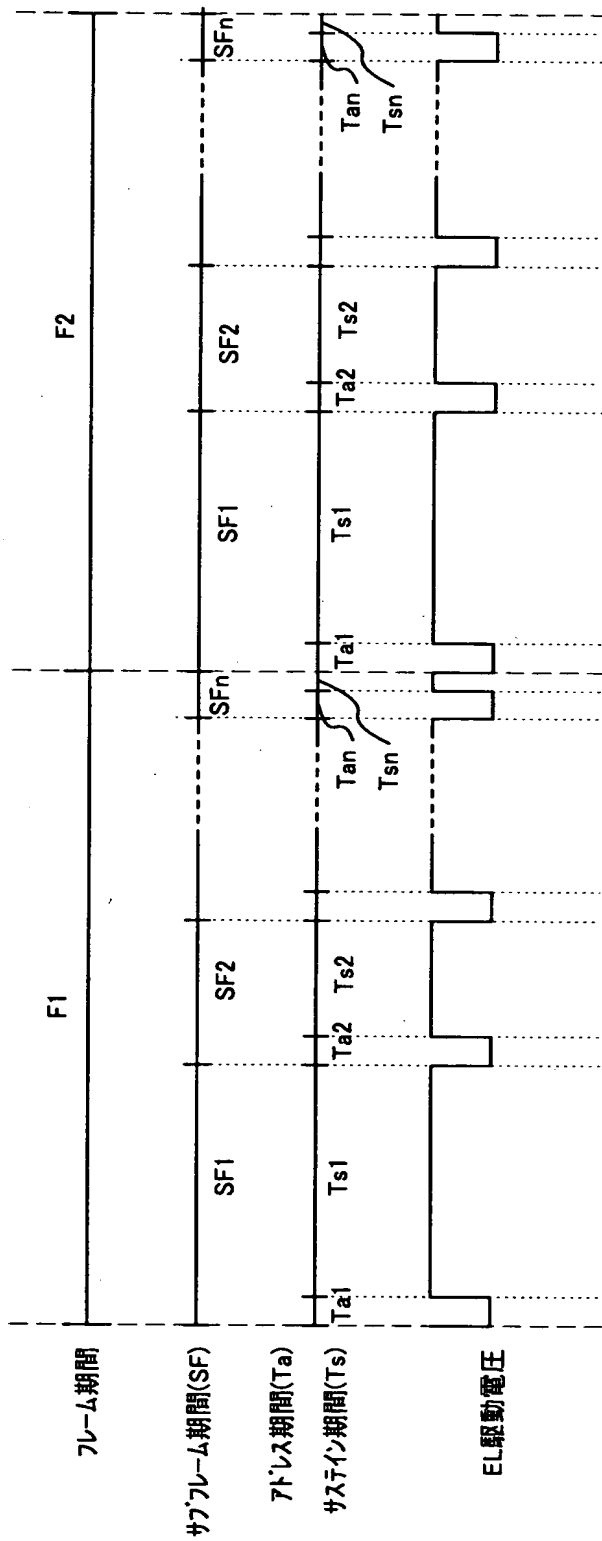
【図 5】



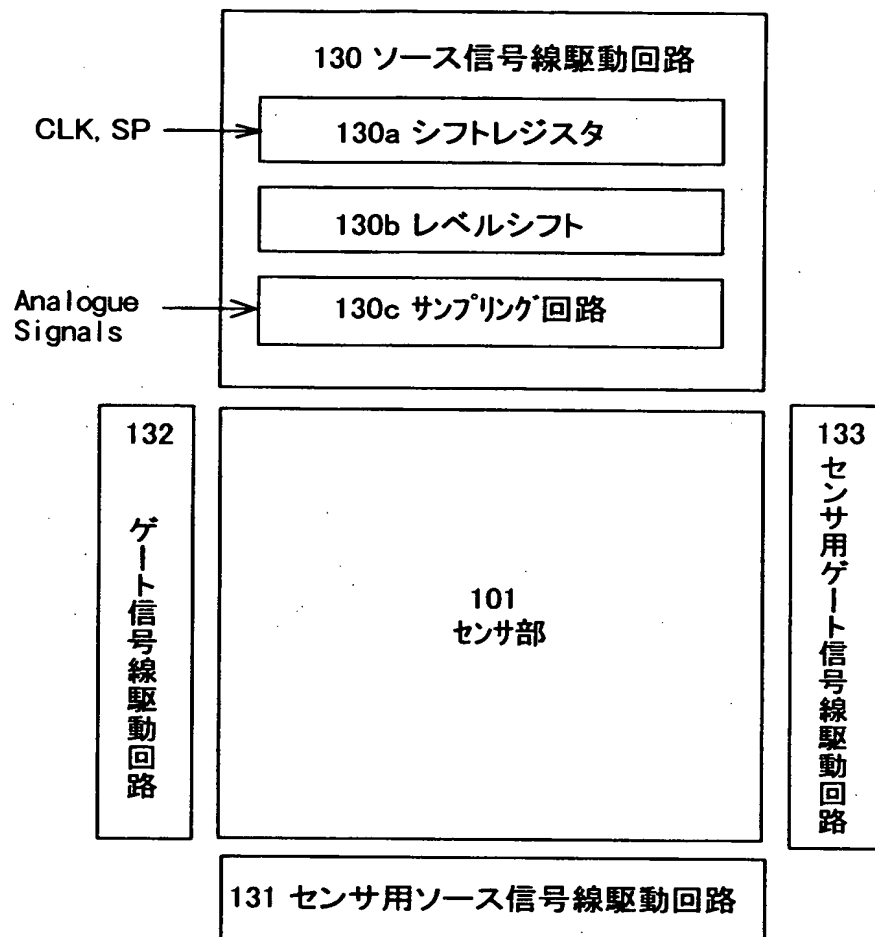
【図 6】



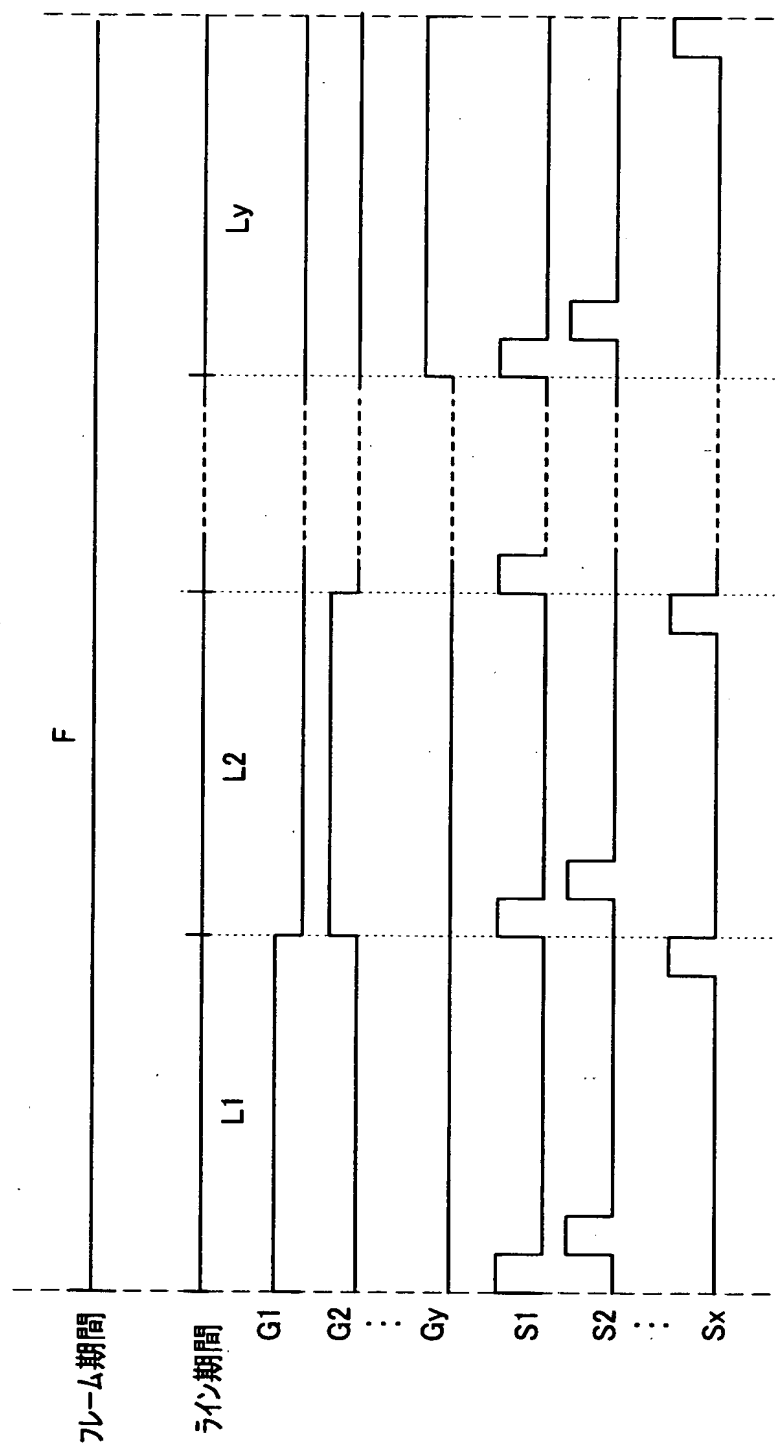
【図 7】



【図 8】

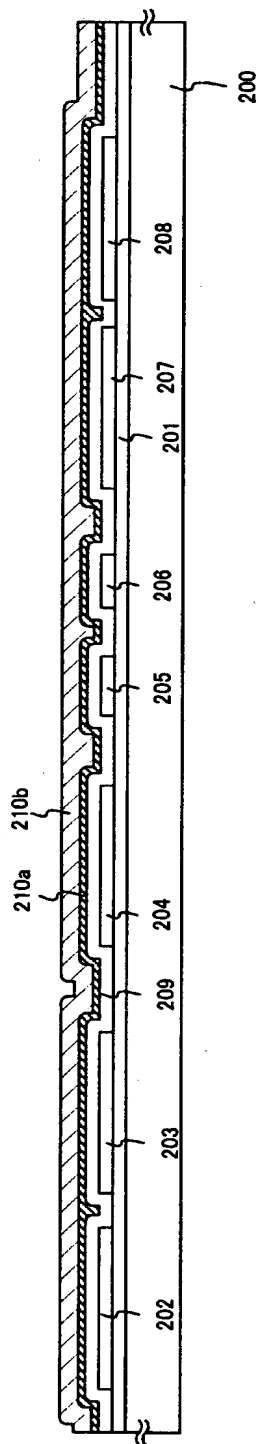


【図 9】

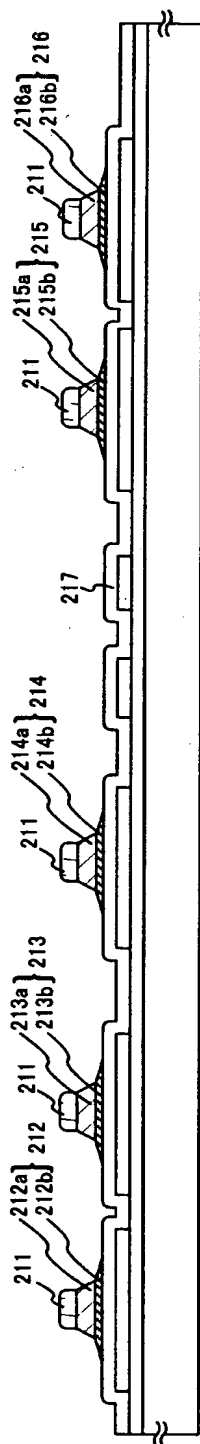


【図 1 0】

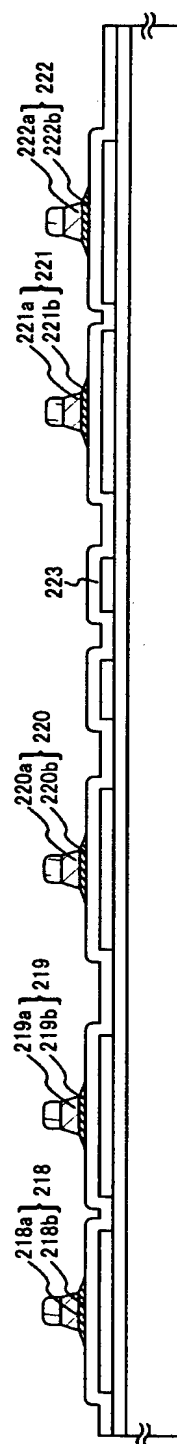
(A) 半導体層の形成/絶縁膜の形成/第一の導電膜と第二の導電膜の形成



(B) 第一のエッチング処理



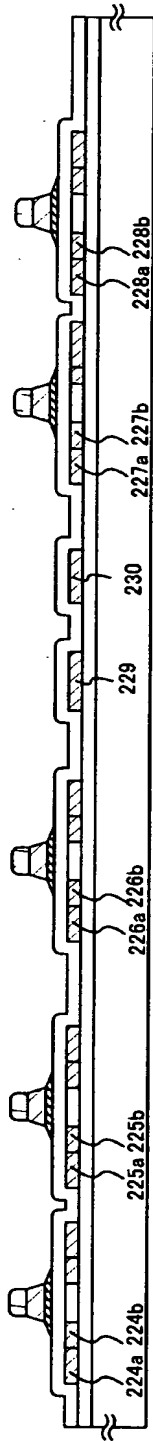
(C) 第二のエッチング処理



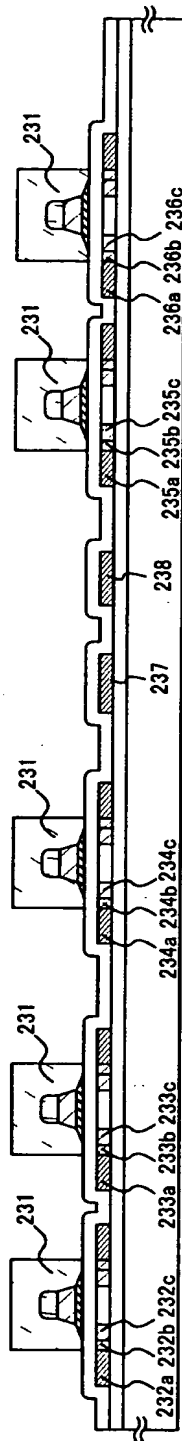
200:基板, 201:下地膜, 202~208:半導体層, 209:ゲート絶縁膜, 210a:第一の導電膜, 210b:第二の導電膜, 211:レジストマスク, 212~216:第一の形状の導電層, 217:ゲート絶縁膜, 218~222:第二の形状の導電層, 223:ゲート絶縁膜

【図 11】

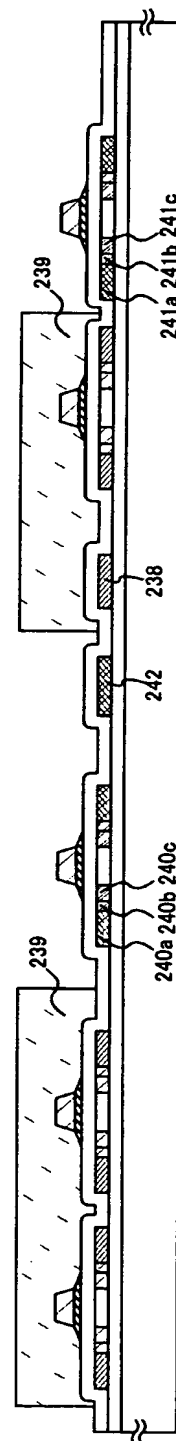
(A) 第一のドーピング処理



(B) 第二のドーピング処理



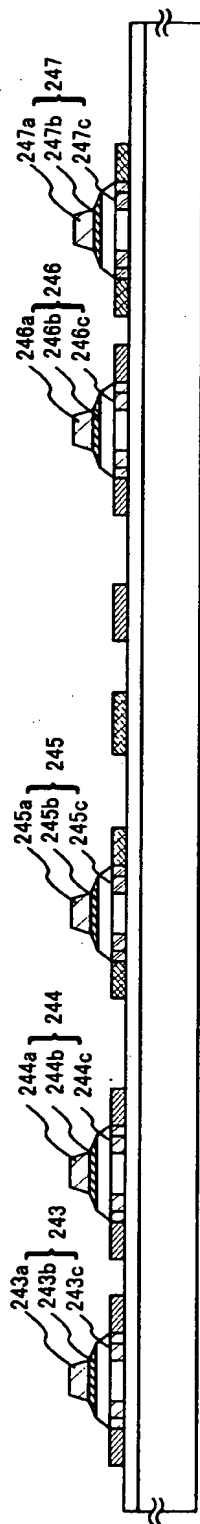
(C) 第三のドーピング処理



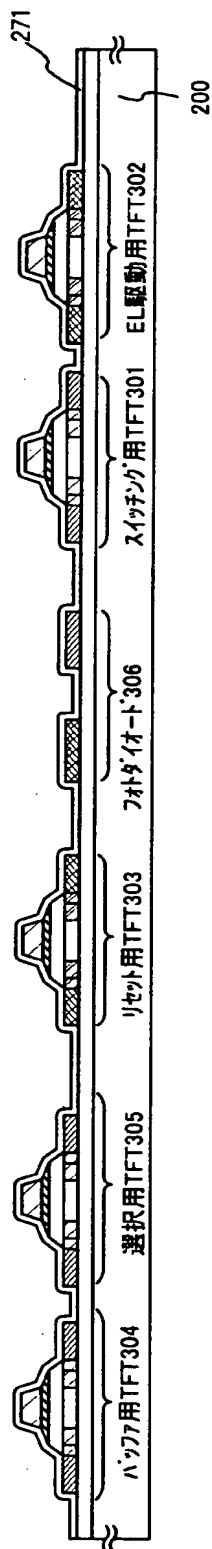
224a~228a, 224b~228b, 229~230:低濃度n型不純物領域、231:レジストマスク、232a~238a、237~238:高濃度n型不純物領域、239:レジストマスク  
240a~241a、242:高濃度p型不純物領域、240b~241b、240c~241c:低濃度p型不純物領域

【図 12】

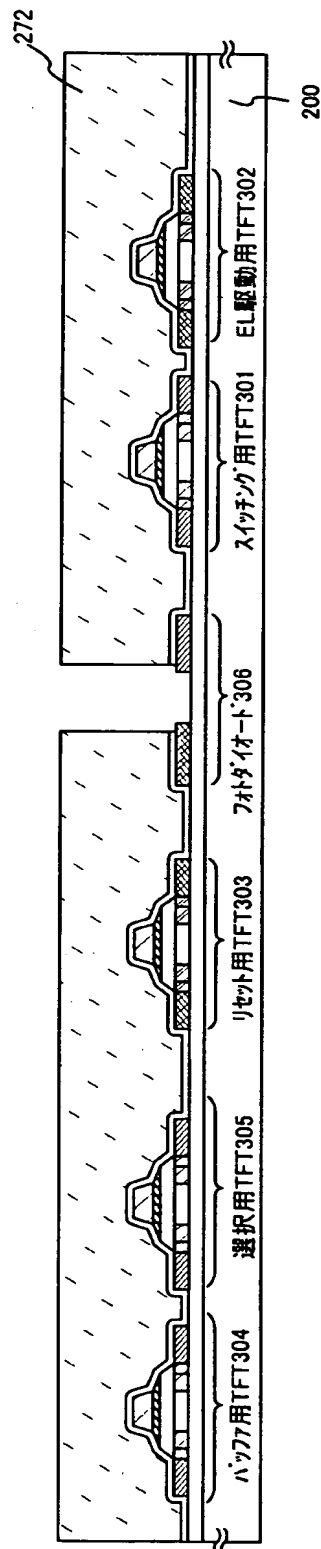
(A) 第三のエッチング処理



(B) パッシベーション膜の形成



(C) 第四のエッチング処理

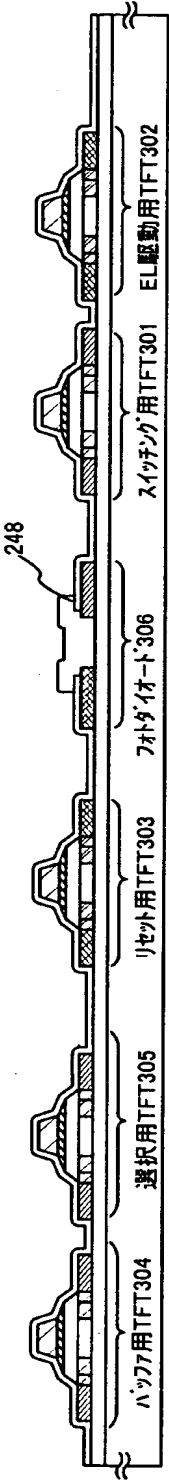


243a~247a:第一の導電膜、243b~247b:第二の導電膜、245c~247c:ゲート絶縁膜、243~247:第三の形状の導電層、271:パッシベーション膜  
272:第一層間絶縁膜

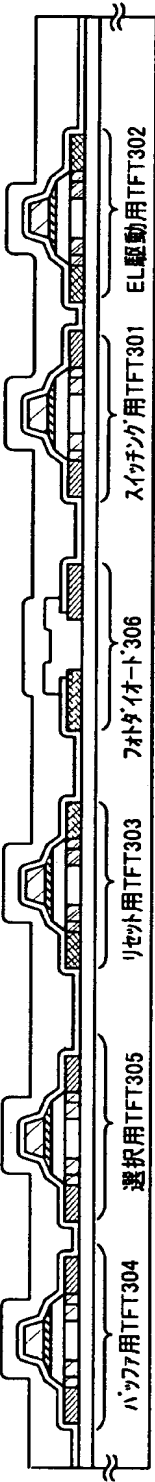


【図 1 3】

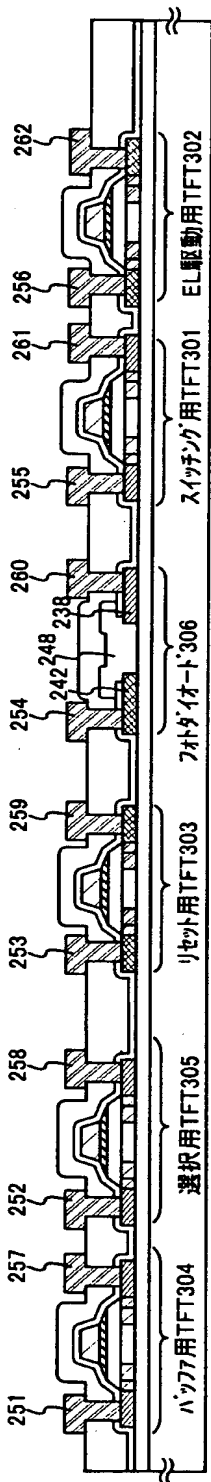
(A) 非晶質珪素膜の形成



(B) 第一層間絶縁膜の形成

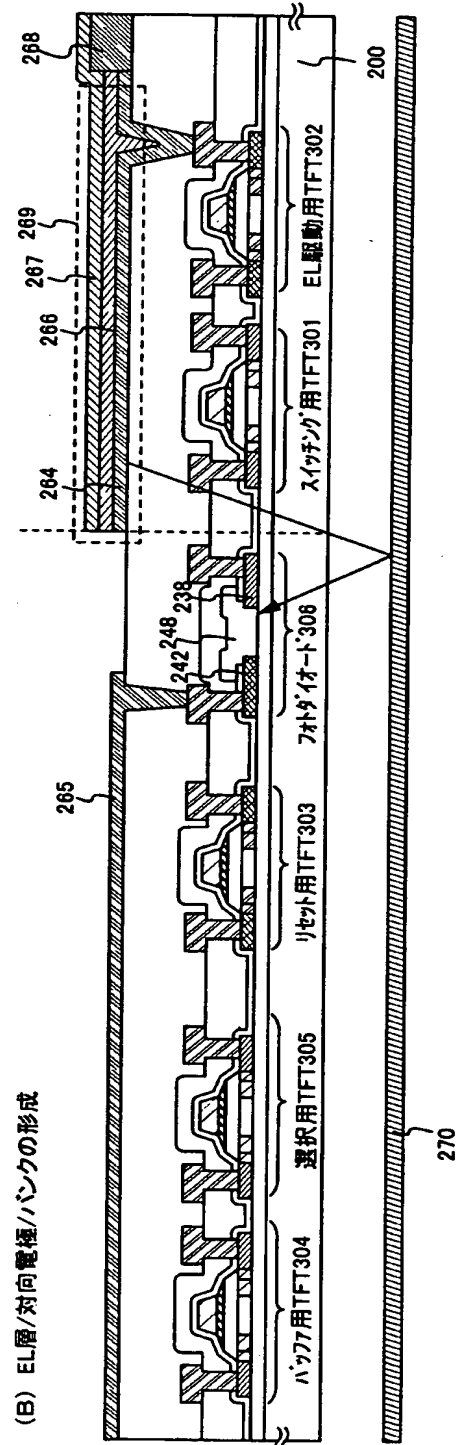
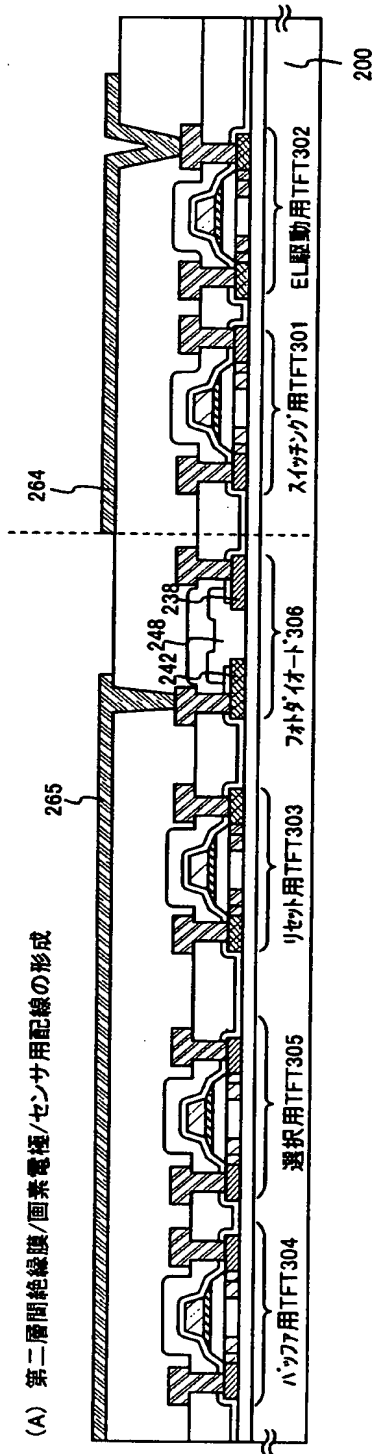


(C) ソース配線/ドレイン配線の形成



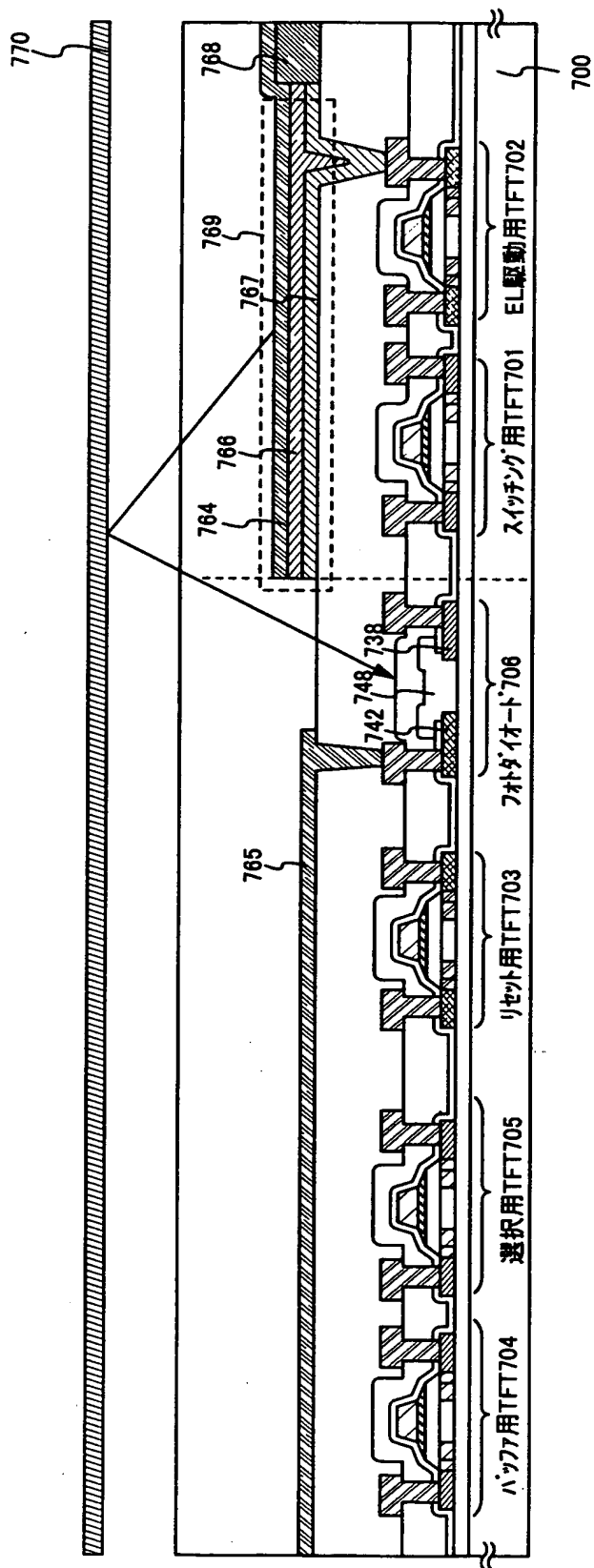
248: 非晶質珪素膜、249: 第一層間絶縁膜、250: 第二層間絶縁膜、251~256: ソース配線、257~262: ドレイン配線

【図 1 4】



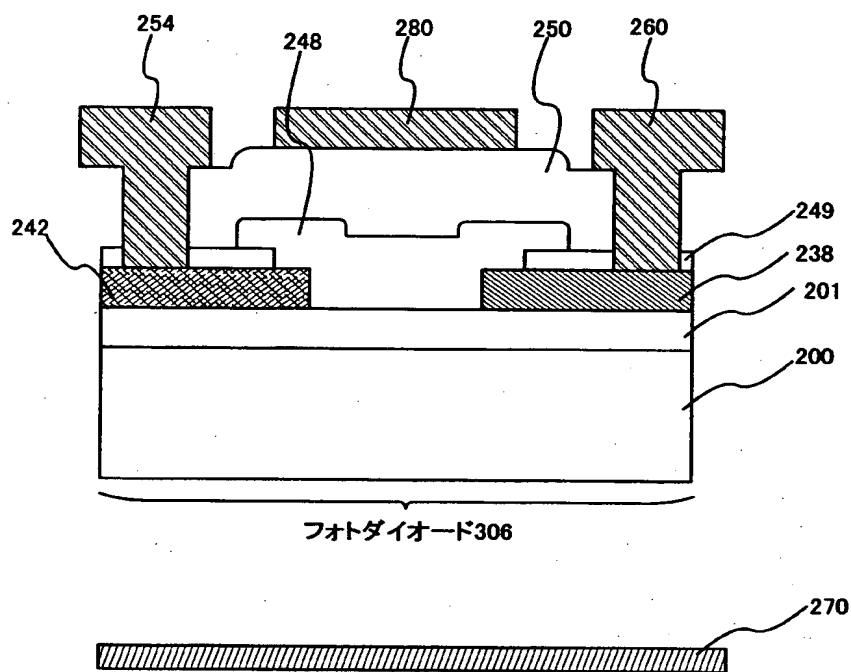
200:基板、238:n型半導体層、242:p型半導体層、248:光電変換層、264:画素電極、265:センサ用配線、266:EL層、267:対向電極、268:バンク、269:EL素子、270:被写体

【図 1 5】



700:基板、738N:型半導体層、742:P型半導体層、748:光電変換層、764:固素電極、765:センサ用配線、766:EL層、767:対向電極、768:バンク、769:EL素子、770:被写体

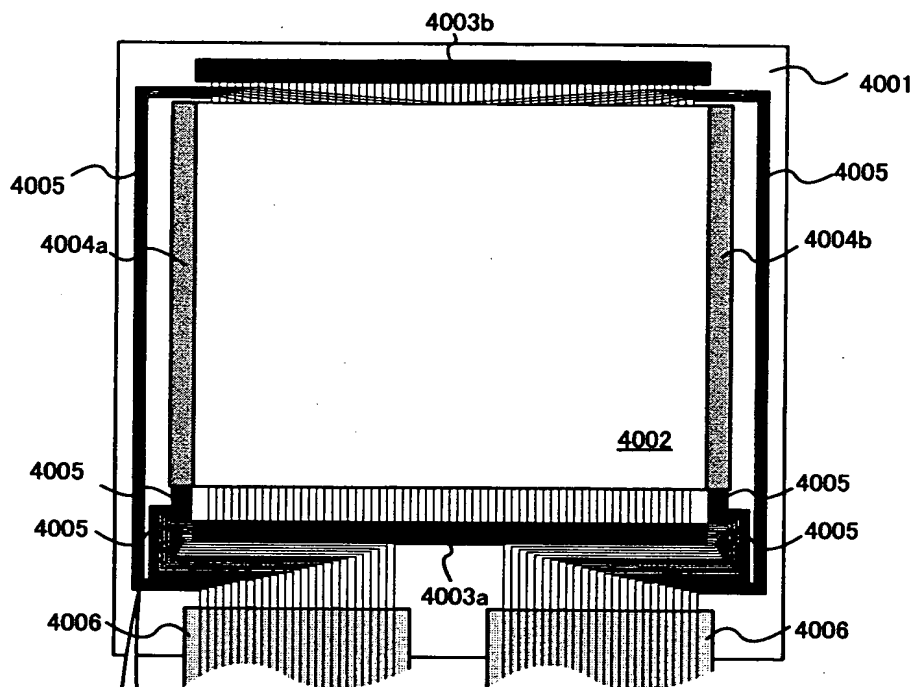
【図 1 6】



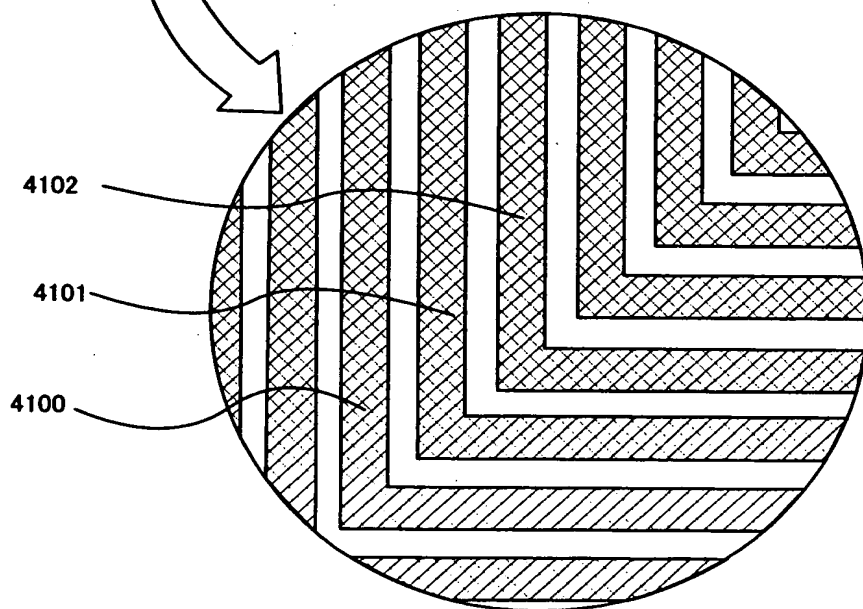
200:基板、201:下地膜、238:n型半導体層、242:p型半導体層、248:光電変換層、249:パッシベーション膜  
250:第一層間絶縁膜、254:ソース配線、260:ドレイン配線、270:被写体、280:金属膜

【図 1 7】

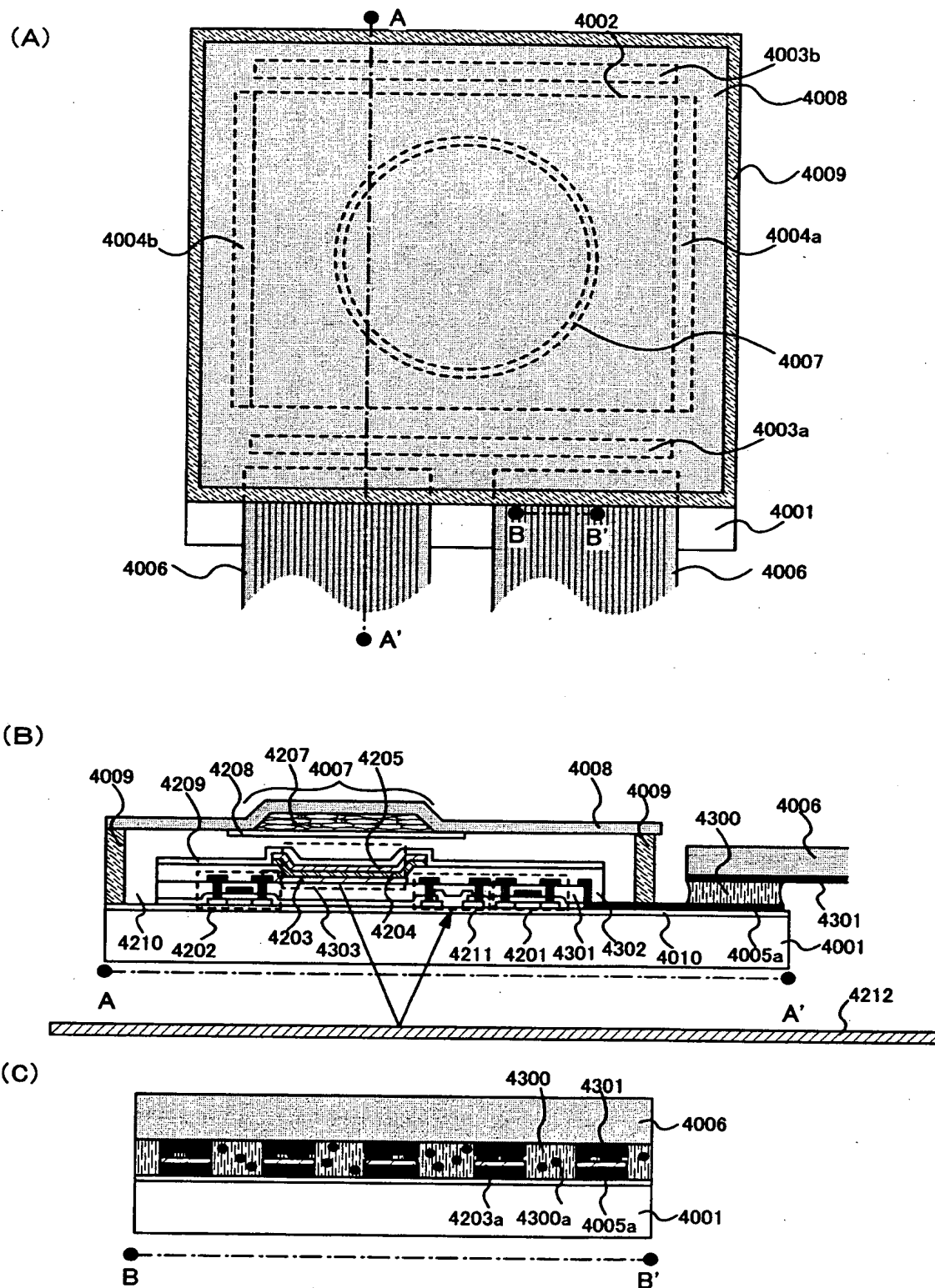
(A)



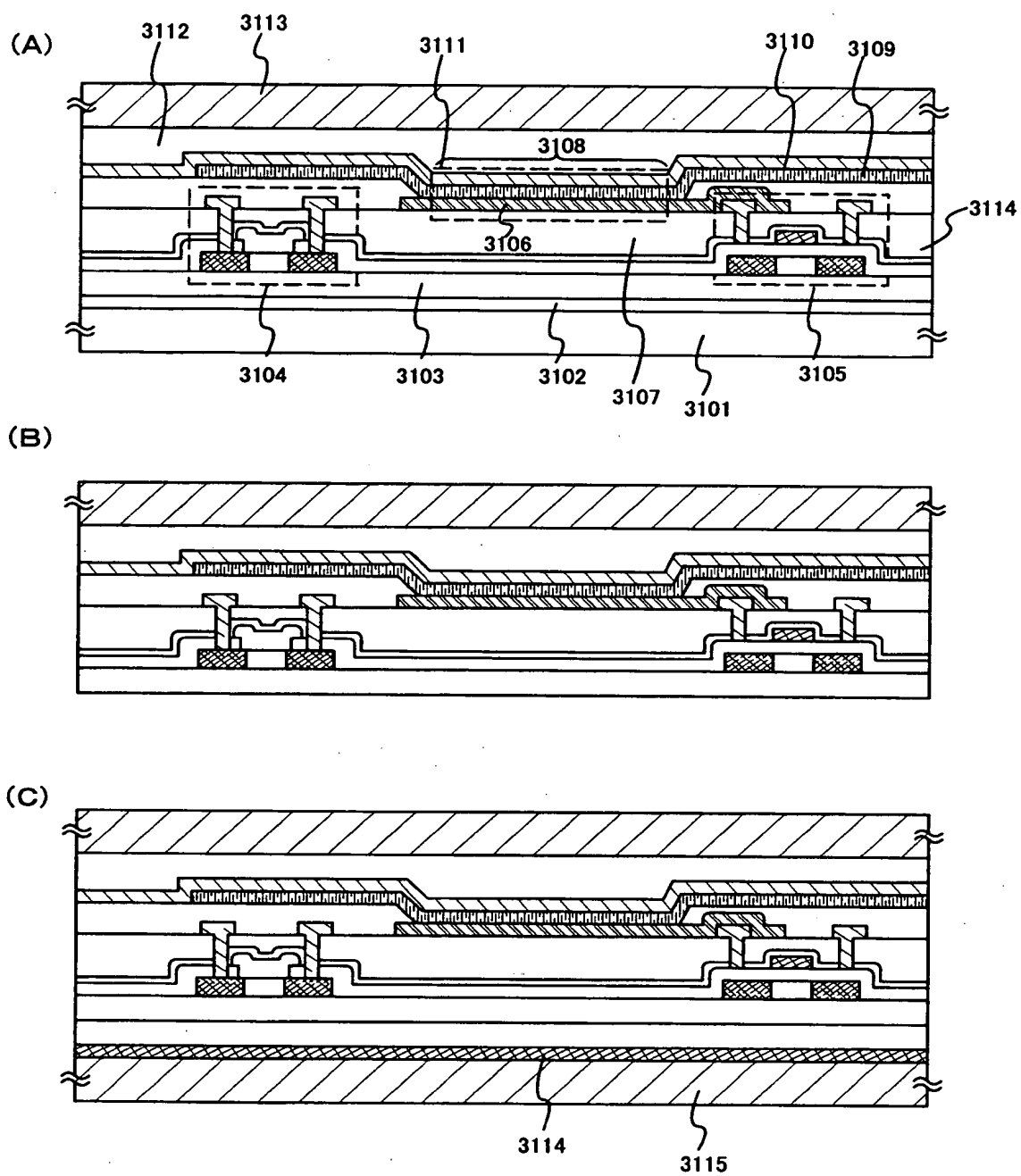
(B)



【図18】

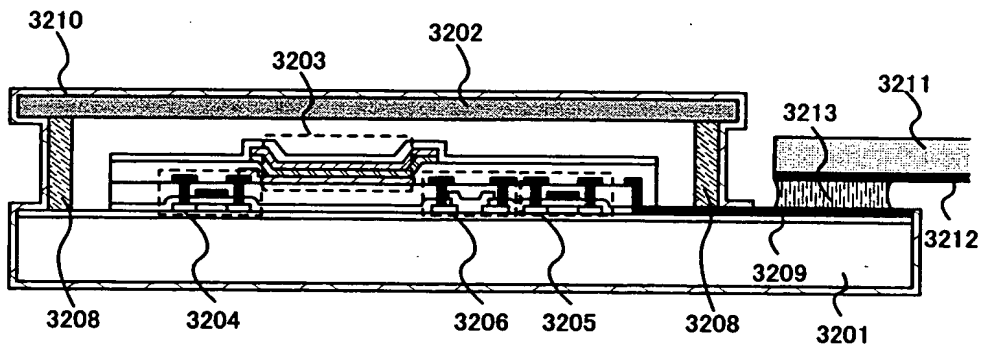


【図 19】

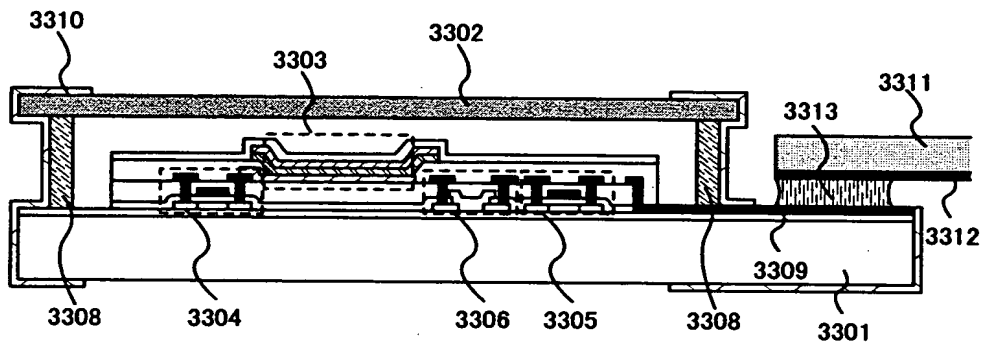


【図 2 0】

(A)



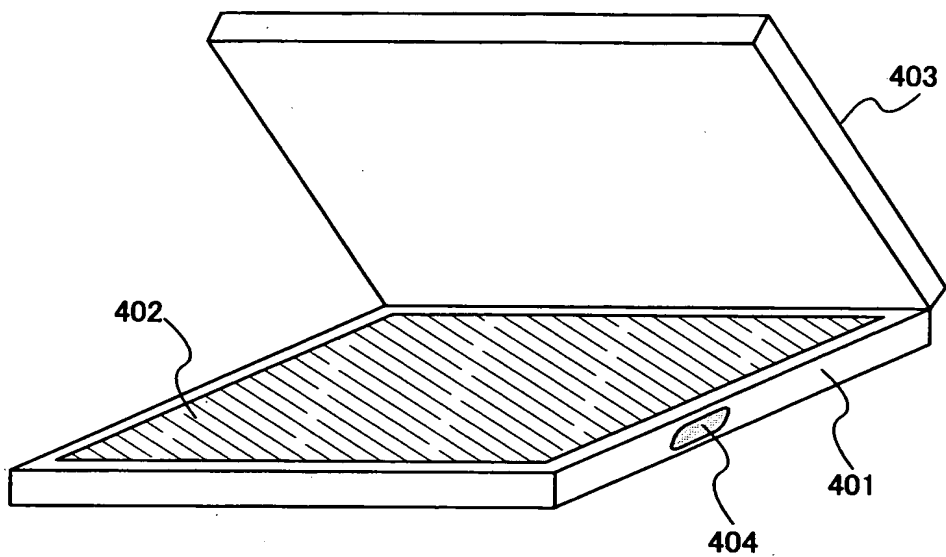
(B)



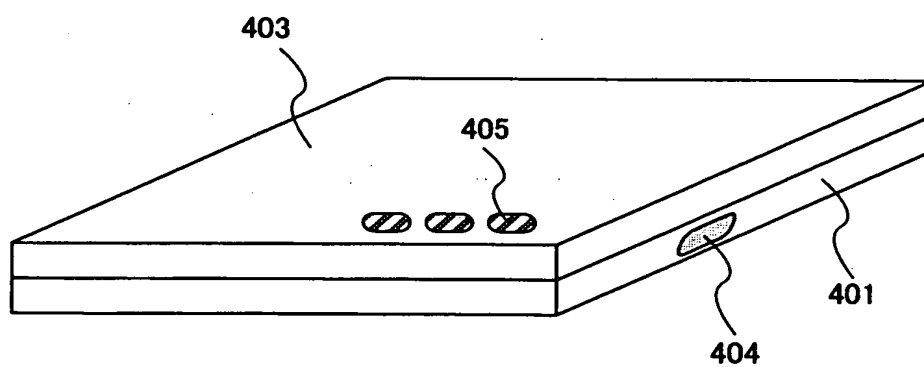


【図 2 1】

(a)

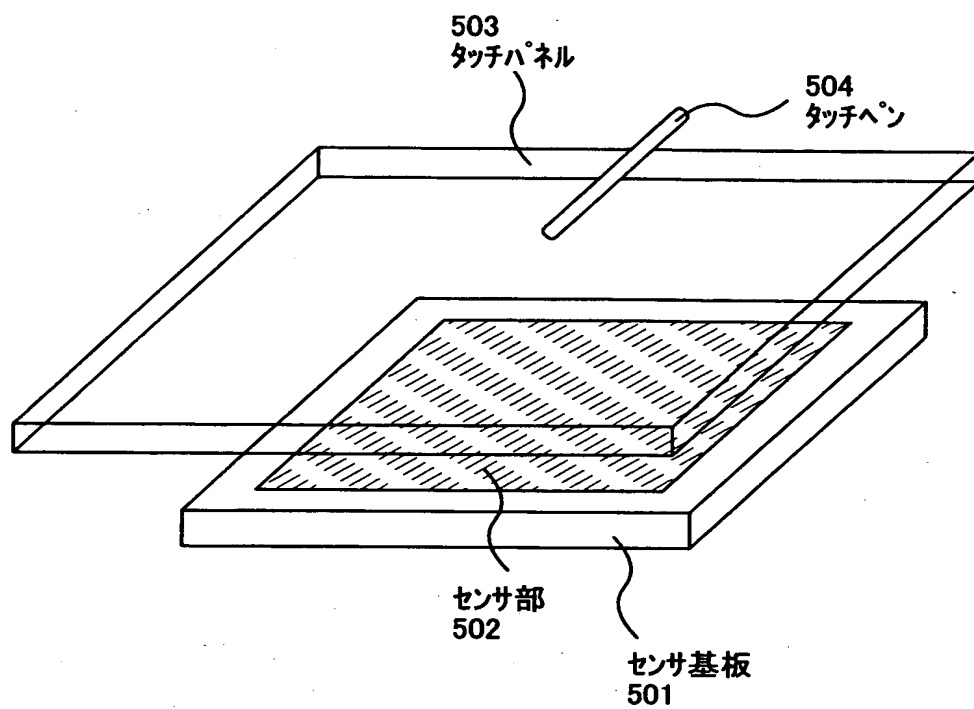


(b)



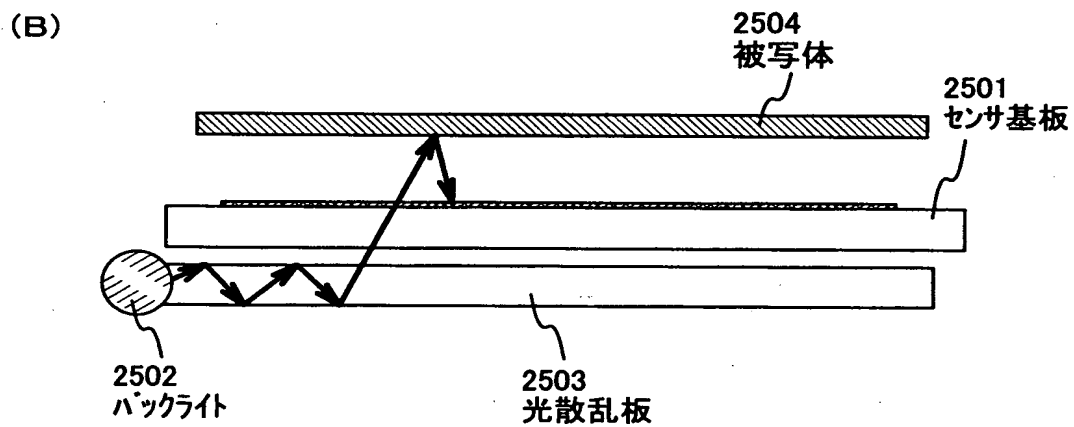
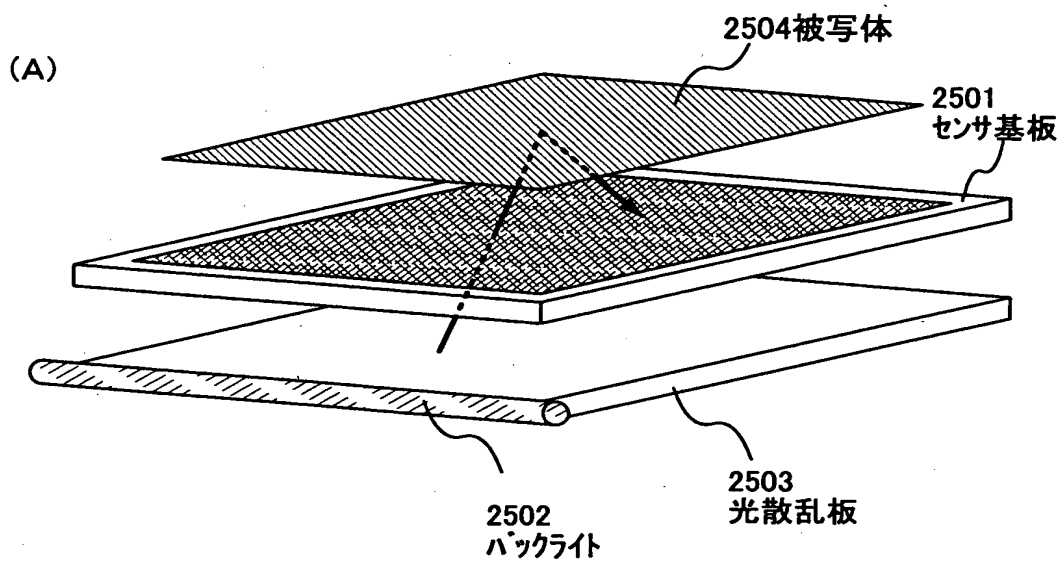
401: 本体  
 402: センサ部  
 403: 上部カバー  
 404: 外部接続ポート  
 405: 操作スイッチ

【図 2 2】

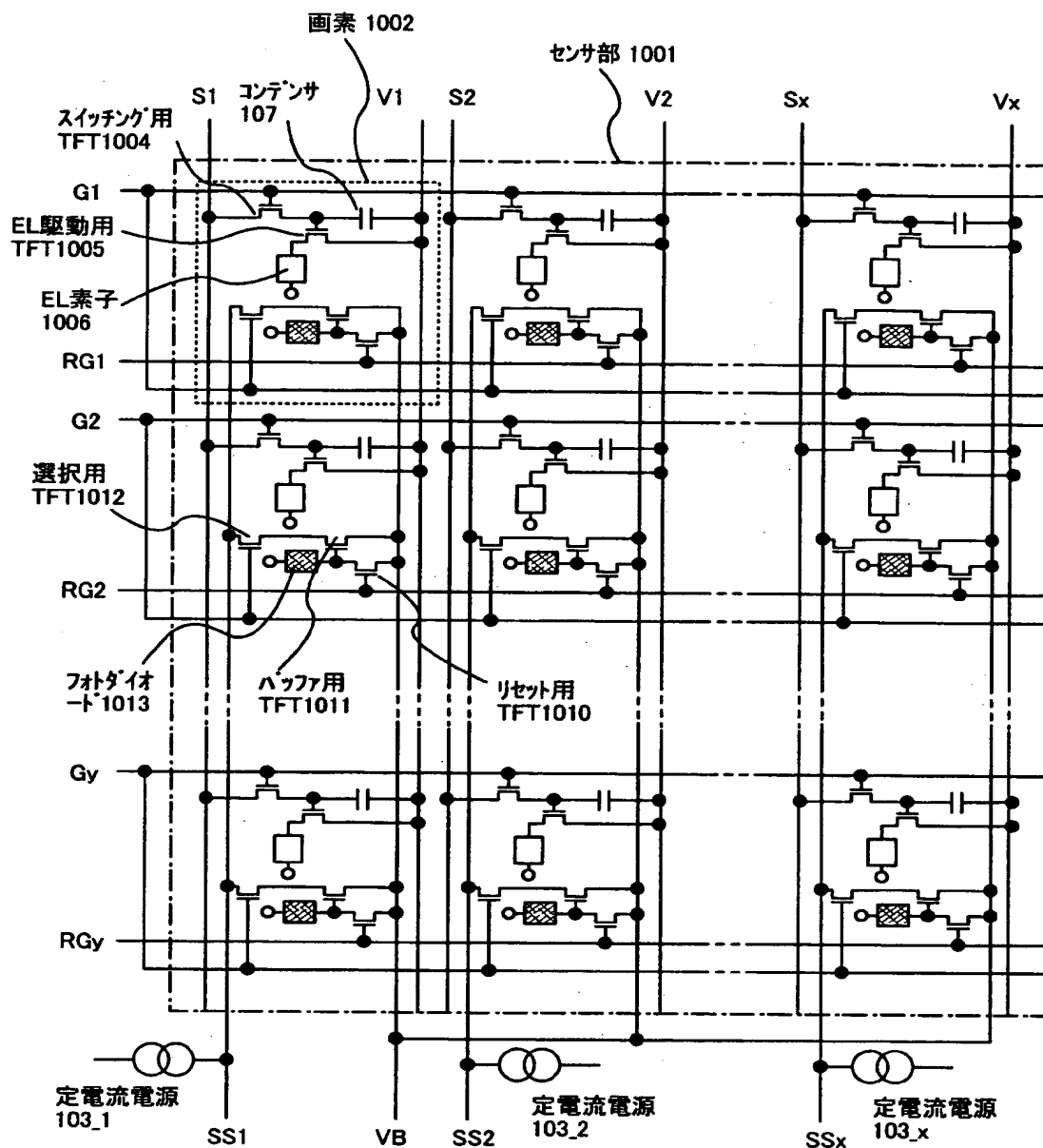


501:センサ基板  
502:センサ部  
503:タッチパネル  
504:タッチペン

【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 軽量、薄型、小型である密着型エリアセンサを提供する。

【解決手段】 エリアセンサが有する画素は、光源としての E L 素子と、光電変換素子としてのフォトダイオードとをそれぞれ有しており、E L 素子とフォトダイオードの動作を T F T で制御していることを特徴とする密着型エリアセンサ。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地

氏 名 株式会社半導体エネルギー研究所